

23. + 24. Mai 2022 in Würzburg

Arnold Wiemers

Tangens Alpha :

*Ein simples mathematisches Modell für
die Berechnung finaler Geometrien auf
Leiterplatten und Baugruppen*



LeiterplattenAkademie





Vorwort

Die Aufgabe einer Leiterplatte

Leiterplatten als Basis einer Baugruppe

Leiterplatten sind Trag- und Montageflächen für die elektromechanischen Komponenten einer Baugruppen. Die während des CAD-Layouts konstruierten Leiterbahnverbindungen sorgen für den kommunikativen Signaltransfer, die Powerverbindungen für die Versorgung der Komponenten mit Energie.

- ▶ Das Dielektrikum des Basismaterials bestimmt die Signallaufzeit.
- ▶ Die Dicken der Kupferschichten sind verantwortlich für die Stromtragfähigkeit und die Entwärmungskapazität.
- ▶ Flächige Powerplanes sind Referenz für den Signalrückstrom und die Impedanz, nivellieren die Betriebswärme, verbessern die Funktion der Hardware *und* Software und erhöhen die Lebensdauer der Baugruppe.

Das ist eigentlich schon alles.

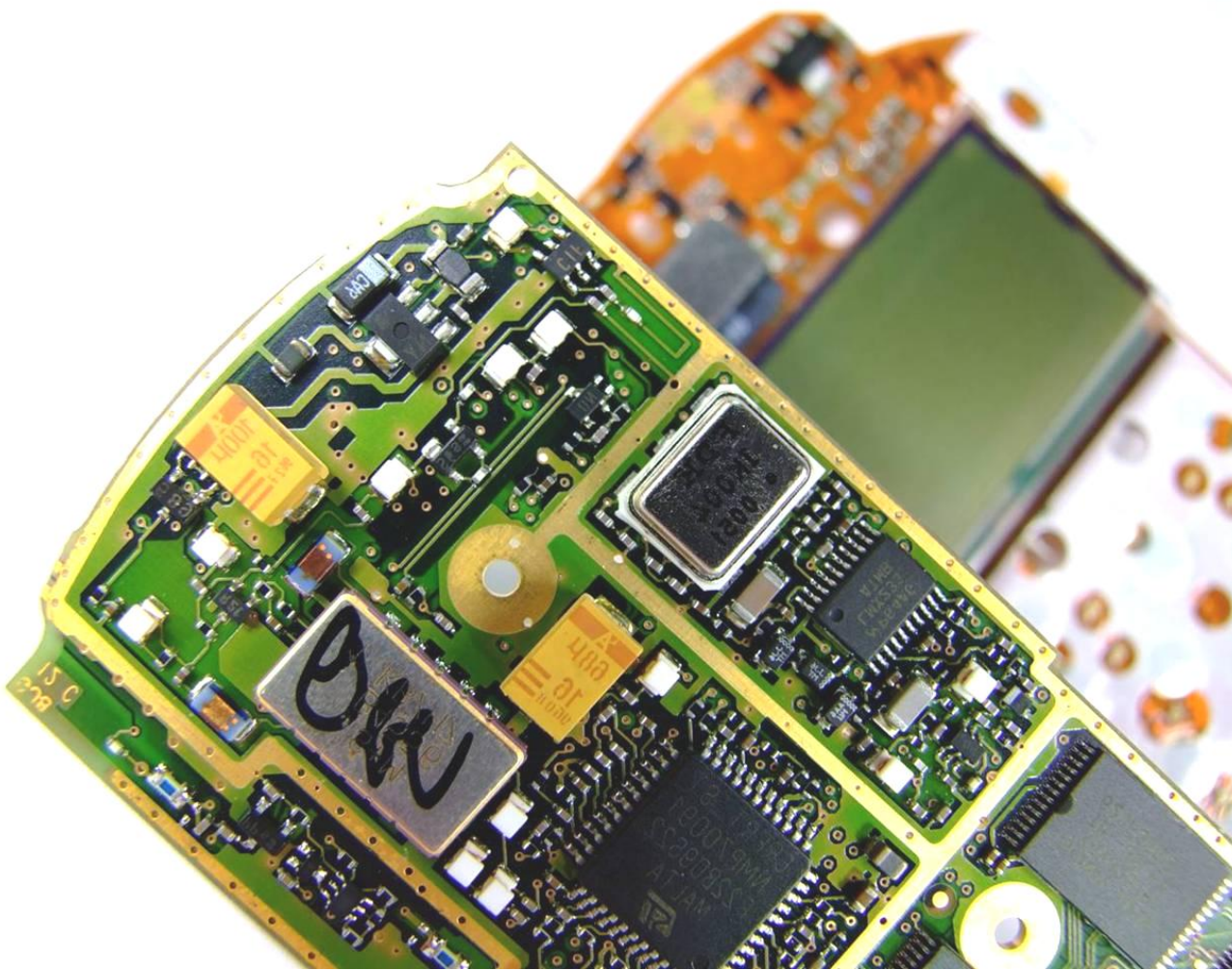
LeiterplattenAkademie Ri16T1.75c50-12c75-12#1

Material	Stack-Up	Vias	Parameter	Layer
Plated	25µm			LY-Top SIG
Copperfoil	12µm			
Meteor-8000	105µm	2013 RC:61	100-100-100µm d 100 Ω	200µm s 50 Ω
Plated	15µm			LY-2 GND
Copperfoil	12µm			
Meteor-8000	76µm	1035 RC:79	100-90-100µm d 80 Ω	110µm s 42 Ω
Plated	15µm			LY-3 SIG
Copper	12µm			
Meteor-8000	75µm			LY-4 SIG
Copper	12µm			
Plated	15µm			
Meteor-8000	76µm	1035 RC:79	100-90-100µm d 80 Ω	110µm s 42 Ω
Copper	12µm			LY-5 GND
Meteor-8000	50µm			
Copper	12µm			LY-6 VCC
Meteor-8000	60µm	106 RC:78		LY-7 VCC
Copper	12µm			
Meteor-8000	50µm			LY-8 VCC
Copperfoil	12µm			
Meteor-8000	105µm	2013 RC	90µm s 50 Ω	110-90-110µm d 80 Ω
Copperfoil	12µm			140µm s 40 Ω
Plated	15µm			LY-9 SIG
Meteor-8000	105µm	2013 RC:61		
Plated	15µm			LY-10 GND
Copperfoil	12µm			
Meteor-8000	130µm	2116 RC:60	90-95-90µm d 100 Ω	165µm s 50 Ω
Plated	15µm			LY-11 SIG
Copper	12µm			
Meteor-8000	175µm			LY-12 SIG
Copper	12µm			
Plated	15µm			
Meteor-8000	130µm	2116 RC:60	90-95-90µm d 100 Ω	165µm s 50 Ω
Copper	12µm			LY-13 GND
Meteor-8000	50µm			
Copper	12µm			LY-14 VCC
Meteor-8000	60µm	106 RC:78		
Copper	12µm			LY-15 GND
Plated	15µm			
Meteor-8000	105µm	2013 RC:61	100-100-100µm d 100 Ω	200µm s 50 Ω
Copperfoil	12µm			
Plated	25µm			LY-Bot SIG

Thickness	1.51mm - 1.82mm	Bare Board	LA drawing	#1233
	1.63mm - 1.84mm	ENIG	Date	11.01.2020
	not acceptable	HAL	Name	Wii
	General tolerance +/- 5%		Comment	-

© LeiterplattenAkademie 2020. All rights reserved. Subject to change. Without guarantee.

Erforderliche Kenntnis über die Eigenschaften von Baugruppen



Gewicht

Entwärmung

Erwärmung

Stabilität

Fläche

Spezifikation

Leistung

Belastbarkeit

Die Verarbeitung moderner elektronischer Baugruppen verlangt nach einer komplexen Dokumentation der technischen und physikalischen Eigenschaften der Leiterplatte. Für die Bestückung und den späteren Betrieb müssen diese Eigenschaften zuverlässig vorhersagbar sein.



Erforderliche Erkenntnis über die Eigenschaften von Baugruppen

Die letzten Jahre haben zu einer drastischen Reduzierung der geometrischen Dimensionen auf Leiterplatten geführt.

Wir müssen uns fragen ...

In welche Richtung wird sich die Leiterplatte entwickeln ?
In welche Richtung *kann* sie sich noch entwickeln ?

Die Antworten finden sich ...

Das Layout einer Leiterplatte beschreibt geometrische Strukturen. *Alle* geometrischen Strukturen nähern sich mathematisch oder physikalisch beschreibbaren Grenzen. Mehr noch. In manchen Bereichen sind die Grenzen des Möglichen bereits erreicht.

Um das zu verstehen, benötigen wir *präzisere* Denkmodelle, als bisher.
Wir müssen zu Ergebnissen kommen, die weniger der Intuition und mehr dem mathematischen Argument geschuldet sind.

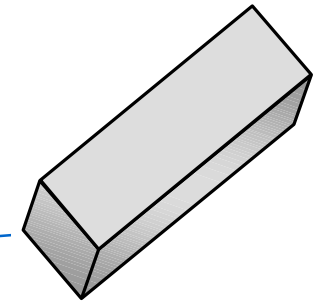
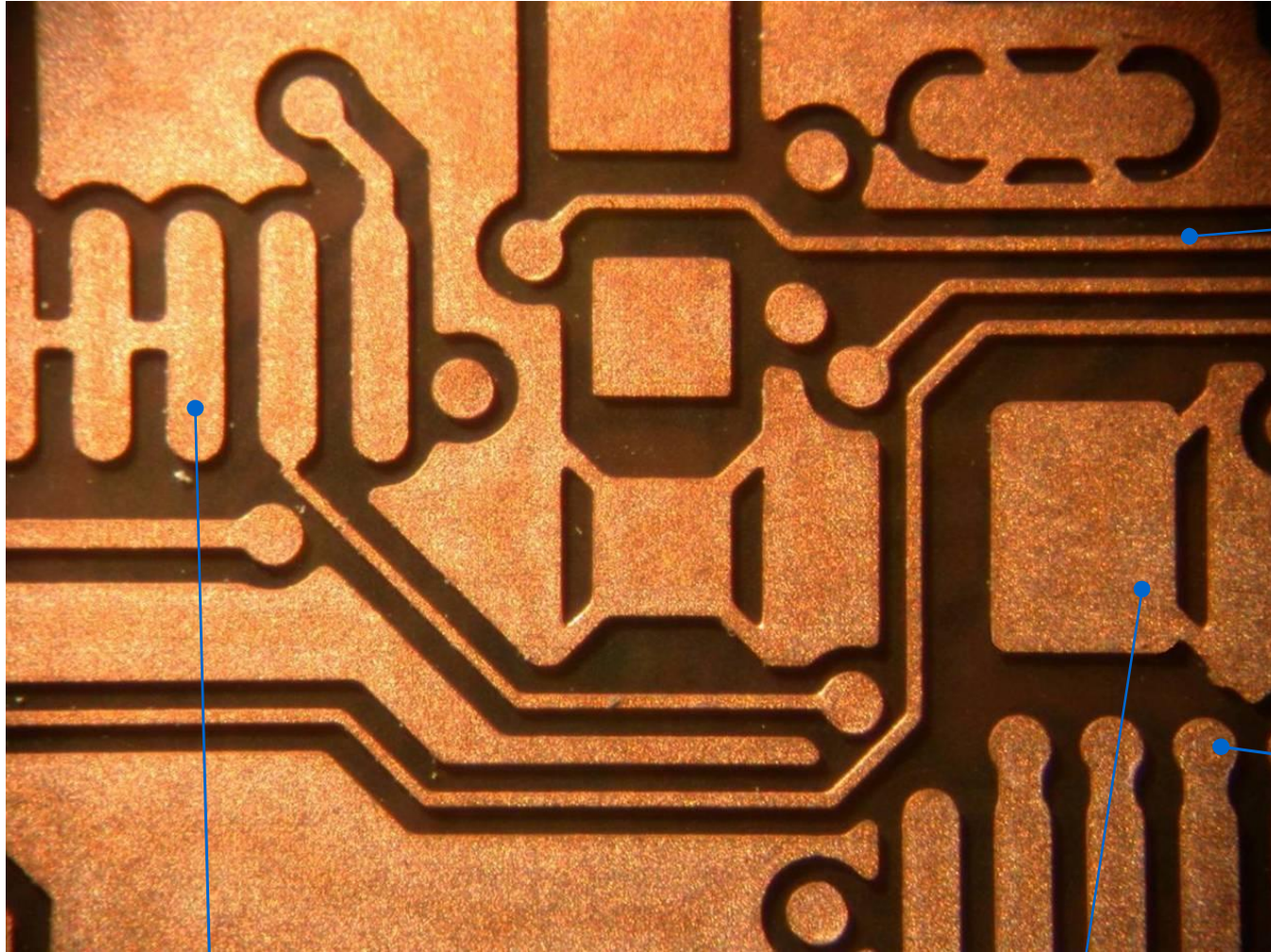




Geometrische Grundlagen

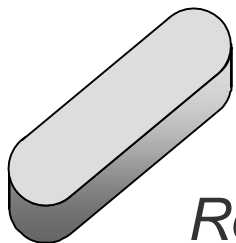
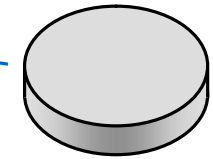


Geometrische Strukturen auf Leiterplatten

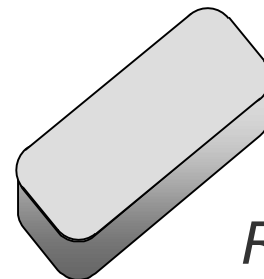


Track
Quader

Viapad
Zylinder



SMD-Pad
Rechteck + 2 Halbkreise



SMD-Pad
Rechteck + 4 Viertelkreise



Layout, Leiterplatte und Baugruppe

Regel (Layout, Leiterplatte, Baugruppe)

Die Disziplinen CAD-Layouterstellung, Leiterplattenfertigung und Baugruppenproduktion bedingen sich gleichwertig gegenseitig.

CAD Das CAD-Layout liefert die Fertigungsdokumente für die Produktion der Leiterplatte und der Baugruppe.

Leiterplatte Die Leiterplattentechnologie liefert die Konstruktionsvorgaben für die Erstellung des CAD-Layoutes und stellt die Leiterplatten für die Baugruppenproduktion bei.

Baugruppe Die Baugruppententechnologie definiert die Anforderungen an die Qualität der Leiterplatte und an die Konstruktion des Layouts.

Regel (Formulierung von Designregeln)

Die Formulierung von Designregeln ist nur möglich über die Analyse der Fertigungsbedingungen für die Leiterplatten- und Baugruppenproduktion.



Pads und Padstacks

Hinweis (Padstack)

Im Zuge der Konstruktion eines CAD-Layouts werden die Anschlußflächen elektronischer Bauteile miteinander verbunden.

Die für ein Bauteil typische Anschlußflächenkonfiguration ist als *Footprint* in der Bauteilbibliothek des CAD-Systems hinterlegt.

Jeder Footprint ist aus einzelnen Elementen zusammengesetzt, den *Padstacks*.

Jeder Padstack enthält auf verschiedenen Ebenen (~ Layern, Lagen) ein *Pad*, das diejenige Aufgabe repräsentiert, die für die entsprechende Ebene vorgesehen ist.

Definition (Padstack)

Ein Padstack enthält alle geometrischen Informationen, die für die Anlage eines Bauteils in der CAD-Bibliothek erforderlich sind.

Regel (Formulierung von Padstacks)

Die konstruktiven Vorgaben aus der Leiterplatten- und Baugruppenproduktion *müssen* in der Formulierung der Padstacks Berücksichtigung finden.



Leiterbahnen und Leiterflächen

Hinweis (Leiterbild)

Das CAD-Layout verbindet mit einem geeigneten Leiterbild die Pads der Bauteile entsprechend der Vorgaben des Schaltplans miteinander.

Das Leiterbild besteht aus den Leiterbahnen (~ Signalverbindungen, transmission lines, Übertragungsleitungen) und den Leiterflächen (~ leitende Flächen, Kupferflächen, Powerplanes, Kantenmetallisierung, Hülsenkupfer).

Definition (Leiterbild)

Mit dem Begriff *Leiterbild* werden alle elektrisch leitenden Anschlußflächen, Leiterbahnen und Leiterflächen einer Leiterplatte zusammengefaßt.

Regel (Formulierung von Leiterbildern)

Die konstruktiven Vorgaben aus der Leiterplatten- und Baugruppenproduktion müssen in der Formulierung der Leiterbilder Berücksichtigung finden.



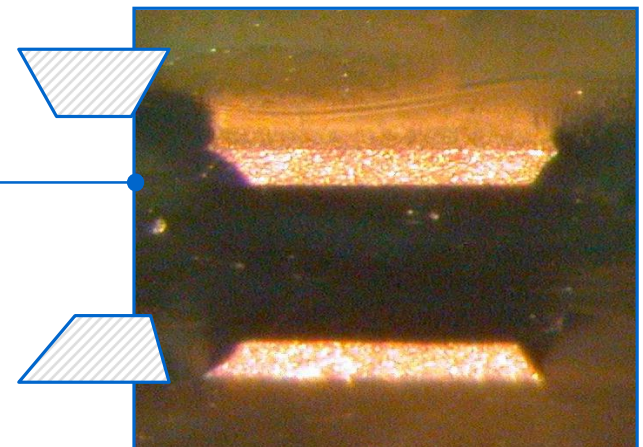
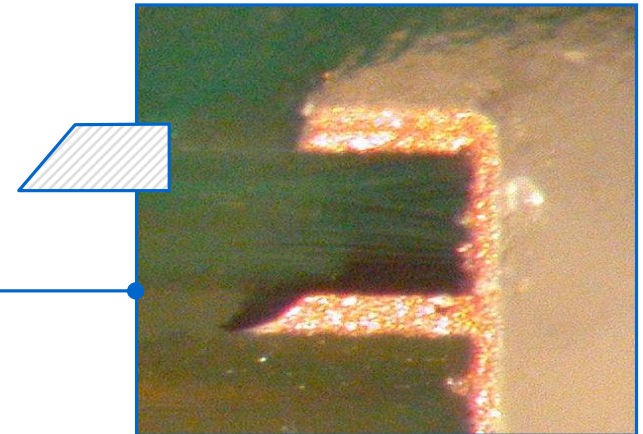
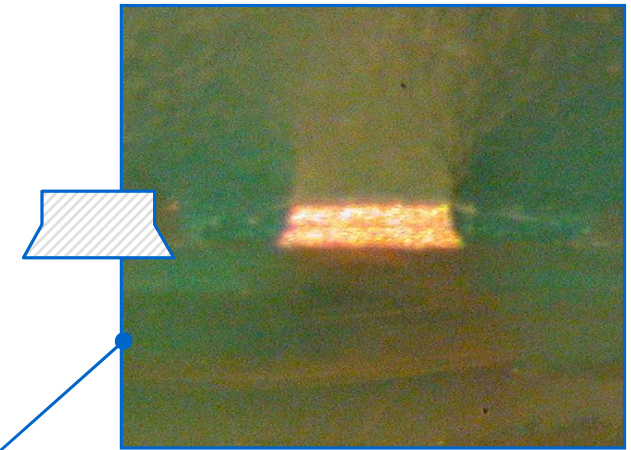
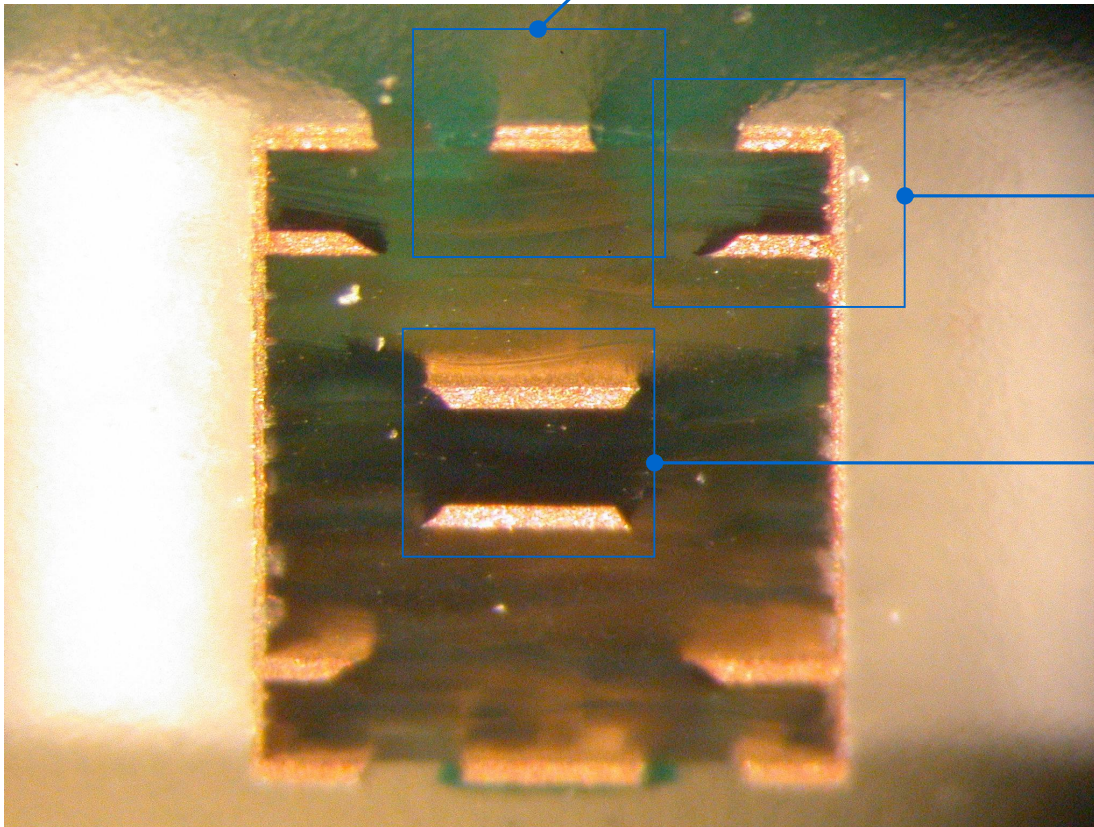


Ätzen des Leiterbildes

Querschnittsprofil : Profilvarianten

Das Querschnittsprofil einer Leiterbahn auf einer kontaktierten Lage ist anders, als das Querschnittsprofil einer Leiterbahn auf einer nicht kontaktierten Lage.

Die Winkel auf der rechten und der linken Ätzflanke einer Leiterbildstruktur sind nicht immer identisch.



Ätzen : Kompensation der CAD-Daten

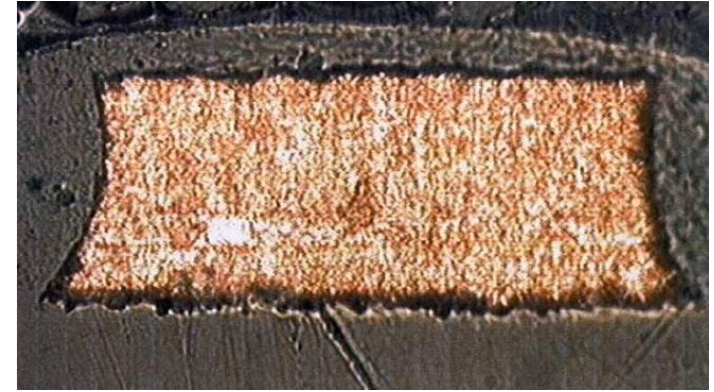
Kompensation Das Ätzen des Leiterbildes ist immer mit einem Verlust der Leiterbahnbreite verbunden. Dieser Effekt ist der sogenannten *Rückätzung* zuzuschreiben.

Für eine nominelle Kupferdicke von $35\mu\text{m}$ liegt diese Rückätzung bei zirka $30\mu\text{m}$, für eine Kupferdicke von $17\mu\text{m}$ liegt der Wert bei zirka $20\mu\text{m}$.

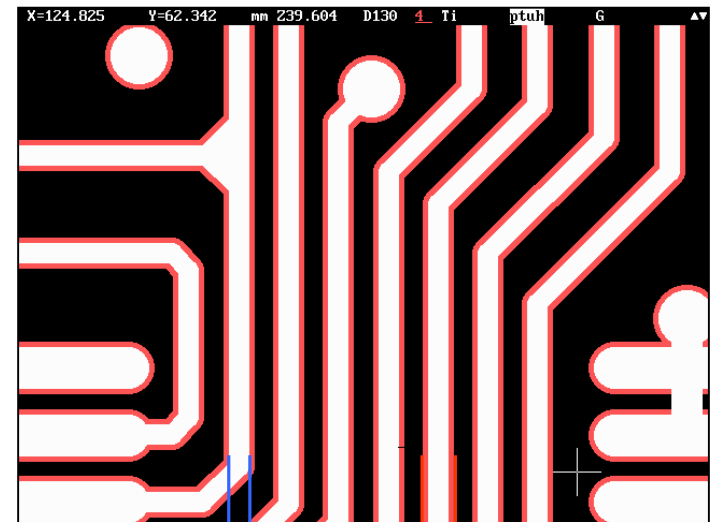
Während der CAM-Bearbeitung der CAD-Daten wird dieser Verlust durch eine *kupferdickenabhängige Zugabe* auf die D-Codes kompensiert.

Ohne Kompensation könnte die Abweichung des Impedanzwertes auf einer $100\mu\text{m}$ breiten Leiterbahn auf der Außenlage eines Multilayers bei bis zu 18 Ohm liegen.

Die Querschnittsgeometrie einer Leiterbahn nach dem Ätzen ist generell ein Trapez.



Ätzprofil



Leiterbahnbreite laut D-Code
Kompensation durch CAM



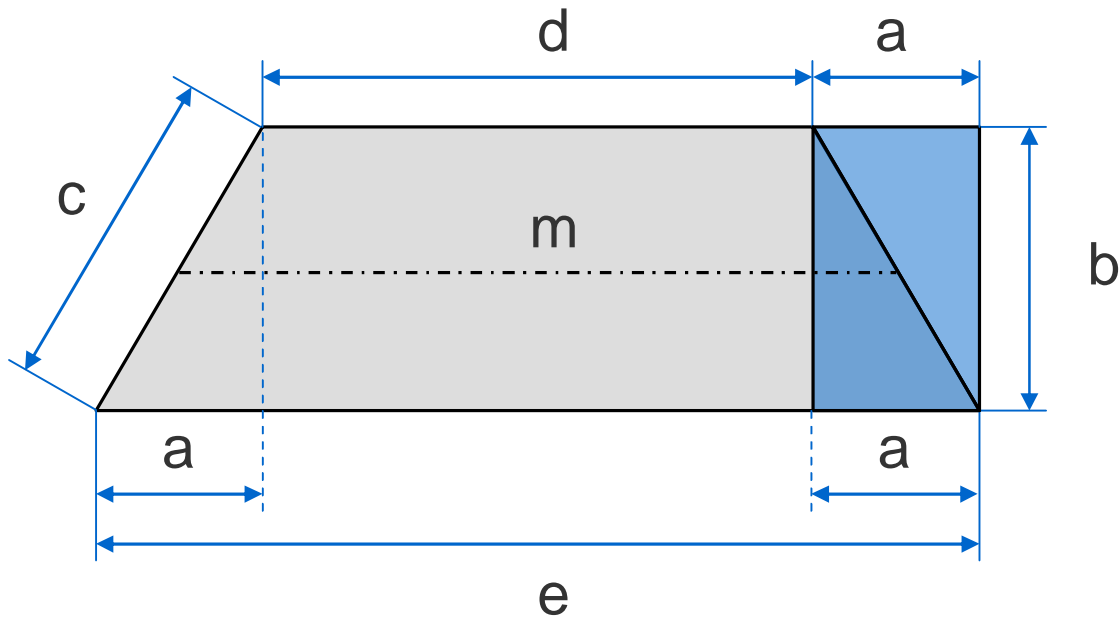


Querschnittsprofil



Querschnittsprofil : Trapez (gleichschenkelig)

Trapez



■ Umfang $\underline{= d + e + 2c}$

■ Fläche $\underline{= b \cdot (a + d)}$

oder

Fläche $\underline{= b \cdot 0.5 \cdot (d + e)}$

oder

Fläche $\underline{= b \cdot m}$

■ Mittellinie $\underline{m = 0.5 \cdot (d + e)}$

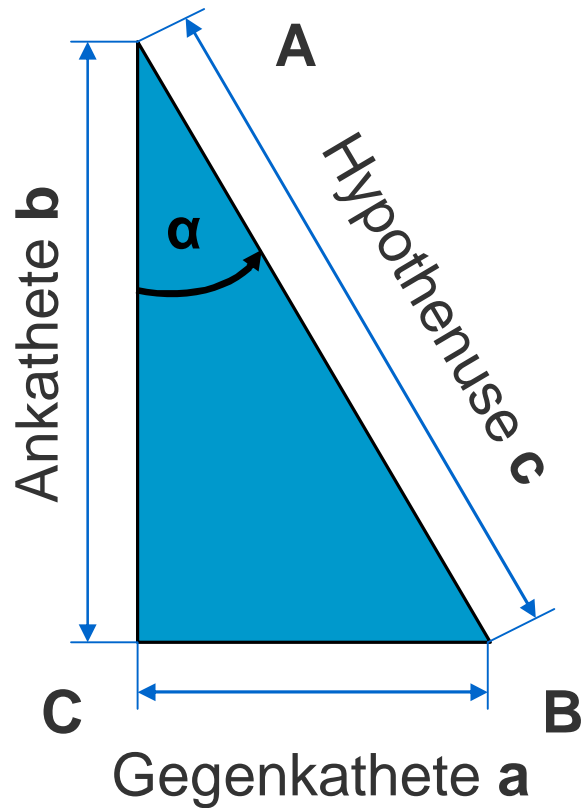
■ Weglänge a $\underline{a = 0.5 \cdot (e - d)}$

■ Weglänge e $\underline{e = d + 2 \cdot a}$

■ Weglänge c $\underline{c = \sqrt{a^2 + b^2}}$



Querschnittsprofil : Definition des Tangens Alpha



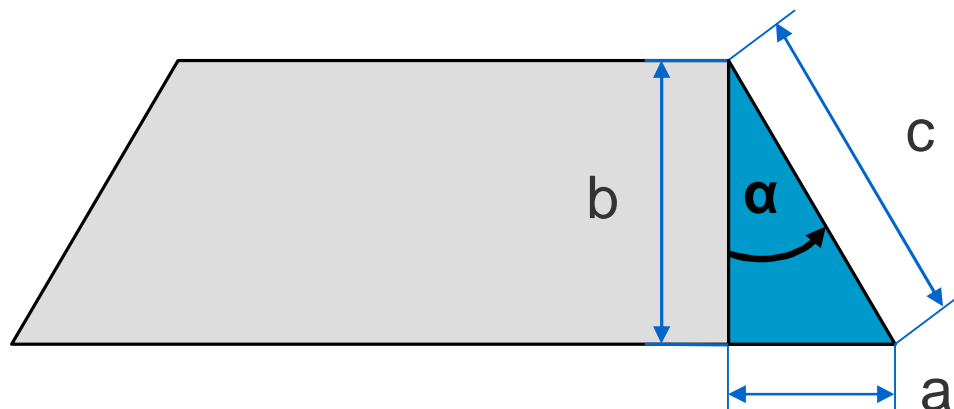
Die Längen für a, b und c sind nicht ohne weiteres ermittelbar. Die Dokumentation der CAD-Daten gibt dazu keine Auskunft.

Eine Beziehung zwischen diesen Größen kann über die **trigonometrische Definition** des Tangens beschrieben werden.

Allgemein gilt :

$$\tan \alpha = \frac{\text{Gegenkathete}}{\text{Ankathete}} = \frac{a}{b}$$

$$\begin{aligned} \text{Gegenkathete} &= \text{Ankathete} \cdot \tan \alpha \\ a &= b \cdot \tan \alpha \end{aligned}$$



Alpha ' α ' ist der Winkel zwischen der Flanke 'c' der Bildstruktur und der Kupferdicke 'b'.



Ätzfuß / Rückätzung : Definition

Mit dem Tangens des Winkels α wird ein mathematischer Zusammenhang zwischen dem Ätzfuß und der Kupferdicke formuliert.

Definition (Ätzfuß / Rückätzung)

Ätzfuß = Kupferdicke \cdot $\tan \alpha$

Rückätzung = Kupferdicke \cdot $\tan \alpha$

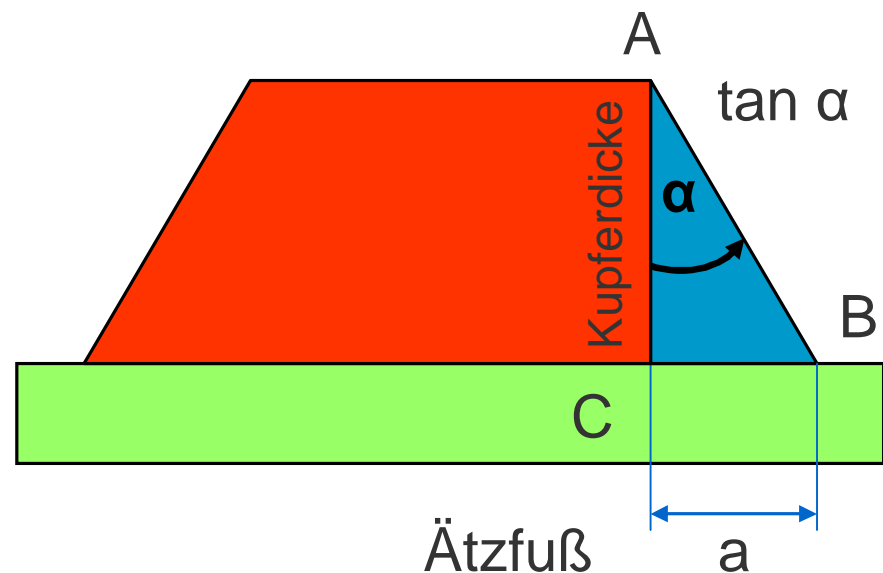
Hinweis (TangensAlpha)

Die Kupferdicke ist genau oder innerhalb eines Intervalls bekannt. Der Tangens ist eine prozeßbezogene Größe und ist ebenfalls genau oder innerhalb eines Intervalls bekannt. Mit dieser Definition kann der Ätzfuß genau oder innerhalb eines Intervalls berechnet werden.

Aus der Definition läßt sich die folgende Abhängigkeit ableiten.

Regel (Abhängigkeit der Rückätzung)

Die Rückätzung ist *ausschließlich* von der Kupferdicke abhängig.



Ätzfuß : Kompensation der Rückätzung

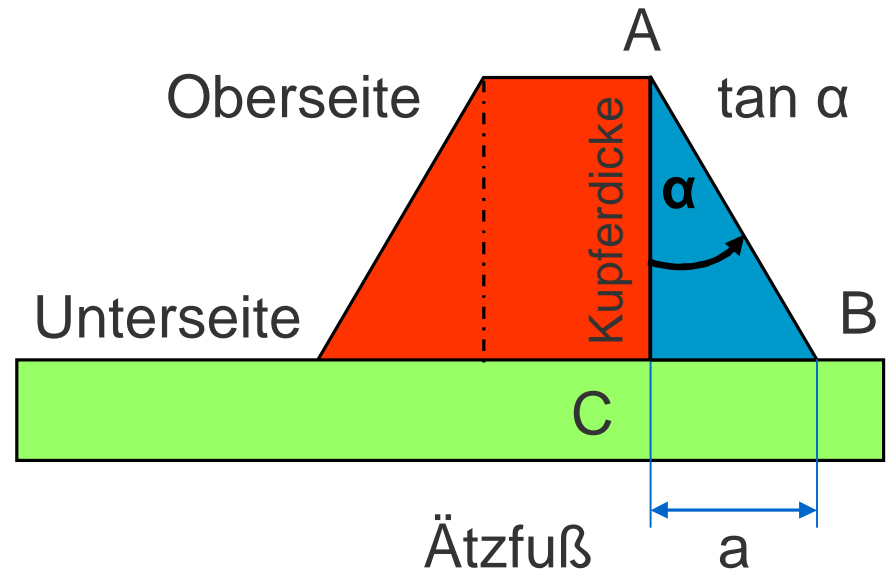
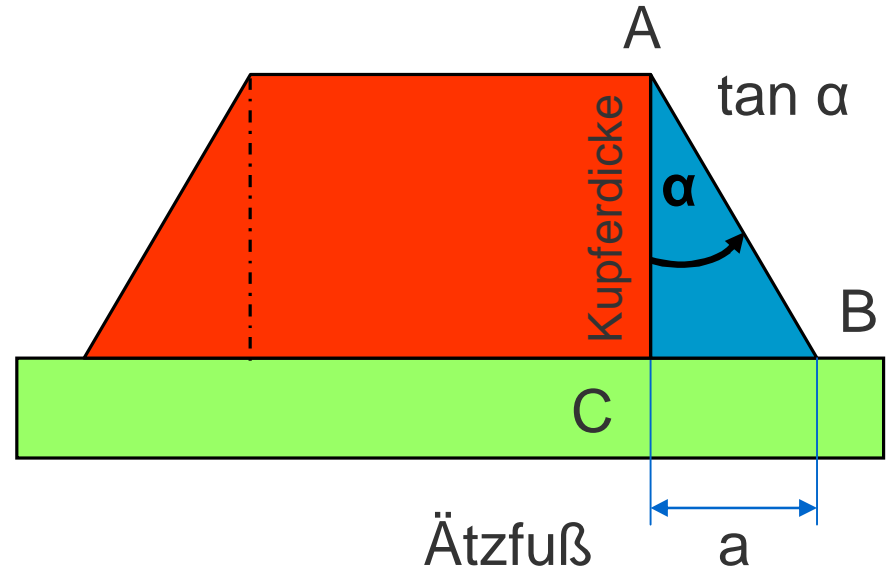
Hinweis (Ätzfuß)

Weil der Ätzfuß *ausschließlich* von der Kupferdicke abhängig ist, führt eine Reduzierung der Leiterbildbreite *nicht* zu Veränderungen des Ätzwinkels.

Wenn das Leiterbild schmaler wird, dann ändert sich für Layouts in MFT- oder UFT-Technologie das AspectRatio zwischen Oberseite und Unterseite.

Das ist von Bedeutung, wenn die Oberfläche die Funktion einer Lötfläche bekommt.

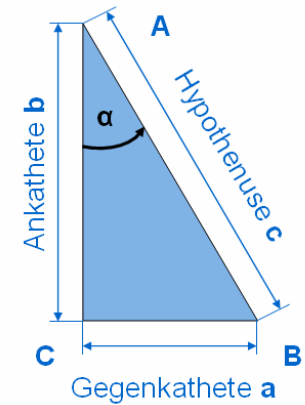
Die erforderliche *Kompensation* muß dann zwangsläufig über die Bibliothek des CAD-Systems erfolgen und/oder Teil der Design-Rule-Vorgaben sein.



Tangens Alpha : Werte 3

Beispiel (Innenlagen)

Bei einem Winkel von 40° und einer Kupferdicke von $35 \mu\text{m}$ ist die Bildstruktur auf der Oberseite $58.8 \mu\text{m}$ schmaler als an der Basis.



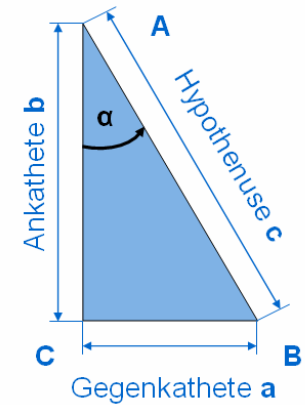
Tangens	Gegenkathete Ankathete 35 μm		Gegenkathete Ankathete 70 μm	
$\tan 0^\circ = 0$	0 μm	0 μm	0 μm	0 μm
$\tan 15^\circ \approx 0.2679$	9.4 μm	18.8 μm	18.8 μm	37.5 μm
$\tan 20^\circ \approx 0.3640$	12.8 μm	25.5 μm	25.5 μm	51.0 μm
$\tan 25^\circ \approx 0.4663$	16.3 μm	32.6 μm	32.6 μm	65.3 μm
$\tan 30^\circ \approx 0.5774$	20.2 μm	40.4 μm	40.4 μm	80.8 μm
$\tan 35^\circ \approx 0.7002$	24.5 μm	49.0 μm	49.0 μm	98.0 μm
$\tan 40^\circ \approx 0.8391$	29.4 μm	58.8 μm	58.7 μm	117.5 μm
$\tan 45^\circ = 1.0000$	35.0 μm	70.0 μm	70.0 μm	140.0 μm
$\tan 60^\circ \approx 1.7321$	60.6 μm	121.3 μm	121.3 μm	242.5 μm
$\tan 70^\circ \approx 2.7475$	96.2 μm	192.3 μm	192.3 μm	384.7 μm



Tangens Alpha : Werte 6

Beispiel (Außenlagen)

Bei einem Winkel von 15° und einer Kupferdicke von $37 \mu\text{m}$ ist die Bildstruktur auf der Oberseite $19.8 \mu\text{m}$ schmaler als an der Basis.



Tangens	Gegenkathete Ankathete $37 \mu\text{m}$		Gegenkathete Ankathete $42 \mu\text{m}$	
$\tan 0^\circ = 0$	$0 \mu\text{m}$	$0 \mu\text{m}$	$0 \mu\text{m}$	$0 \mu\text{m}$
$\tan 15^\circ \approx 0.2679$	$9.9 \mu\text{m}$	$19.8 \mu\text{m}$	$12.6 \mu\text{m}$	$22.5 \mu\text{m}$
$\tan 20^\circ \approx 0.3640$	$13.5 \mu\text{m}$	$26.9 \mu\text{m}$	$15.3 \mu\text{m}$	$30.6 \mu\text{m}$
$\tan 25^\circ \approx 0.4663$	$17.3 \mu\text{m}$	$34.5 \mu\text{m}$	$19.6 \mu\text{m}$	$39.2 \mu\text{m}$
$\tan 30^\circ \approx 0.5774$	$21.4 \mu\text{m}$	$42.7 \mu\text{m}$	$24.3 \mu\text{m}$	$48.5 \mu\text{m}$
$\tan 35^\circ \approx 0.7002$	$24.5 \mu\text{m}$	$49.0 \mu\text{m}$	$29.4 \mu\text{m}$	$58.8 \mu\text{m}$
$\tan 40^\circ \approx 0.8391$	$31.5 \mu\text{m}$	$62.1 \mu\text{m}$	$35.2 \mu\text{m}$	$70.5 \mu\text{m}$
$\tan 45^\circ = 1.0000$	$37.0 \mu\text{m}$	$74.0 \mu\text{m}$	$42.0 \mu\text{m}$	$84.0 \mu\text{m}$
$\tan 60^\circ \approx 1.7321$	$64.1 \mu\text{m}$	$128.2 \mu\text{m}$	$72.8 \mu\text{m}$	$145.5 \mu\text{m}$
$\tan 70^\circ \approx 2.7475$	$101.7 \mu\text{m}$	$203.3 \mu\text{m}$	$115.4 \mu\text{m}$	$230.8 \mu\text{m}$



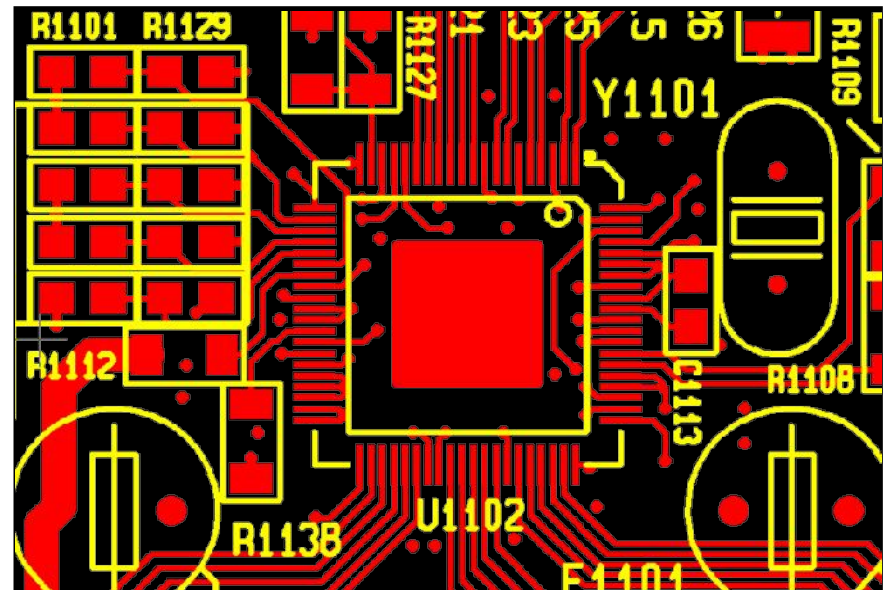
Rückätzung : Reduzierung der Funktionsfläche

Regel (Rückätzung)

Es gibt *immer* eine Rückätzung der Leiterbildstruktur.

CAD-Systeme bilden das spätere Layout 2-dimensional ab und kennen keine Rückätzung. Alle Leiterbildstrukturen sind aber ihrer Natur gemäß 3-dimensional.

Weil die Unterseite die Referenz für die Sollbreite einer Bildstruktur sein *muß*, ergibt sich, daß die Breite einer Bildstruktur auf ihrer Oberfläche *niemals* identisch ist mit der deklarierten Breite der originären Vektorstruktur am CAD-System.



Regel (Lötflächendurchmesser)

Die Geometrie einer Funktionsfläche ist in der Praxis *immer* um den Betrag der Rückätzung kleiner, als vom CAD-System vorgegeben.

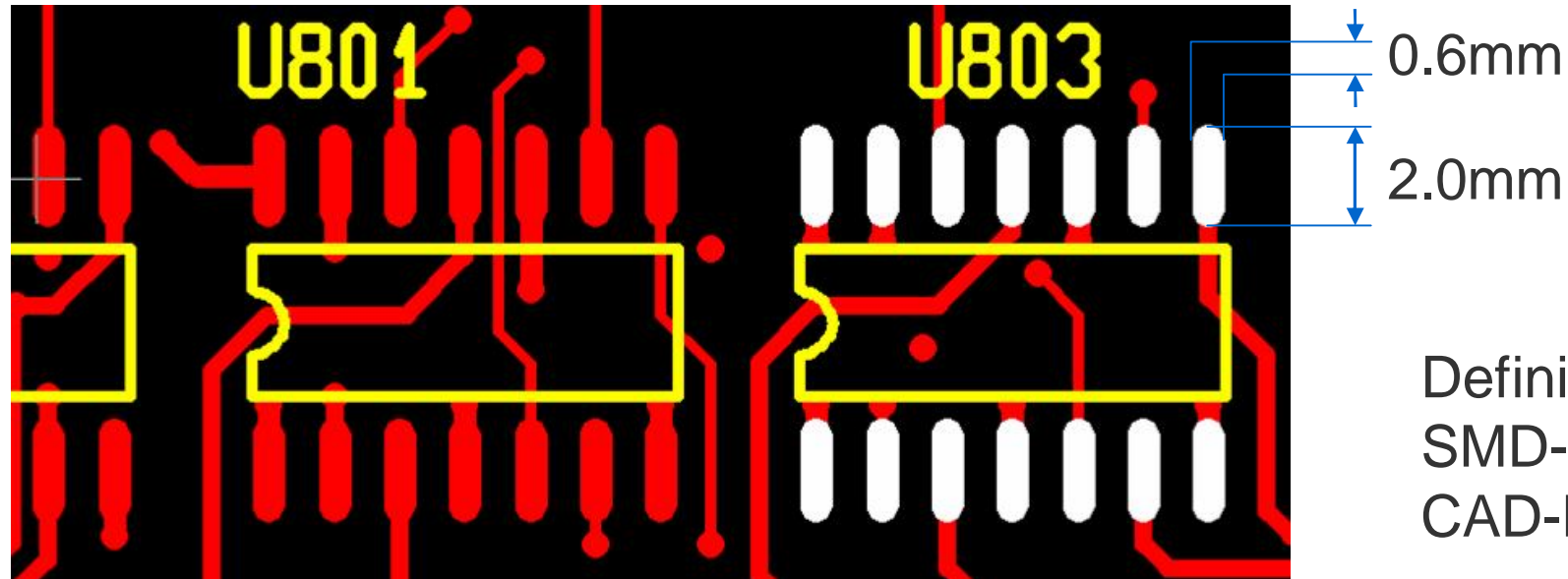


Rückätzung : Reduzierung der Funktionsfläche

Beispiel Ein SMD-Pad für ein SMD-IC sei in der CAD-Bibliothek definiert mit einer Fläche von $0.6\text{mm} \times 2.0\text{mm} = 1.20\text{mm}^2$. Das Kupfer soll auf der Bestückungsebene $42\mu\text{m}$ dick sein.

Die effektiven Flächendifferenzen können bei bis zu minus 10% liegen.

Ätzwinkel (bei $42\mu\text{m}$ Cu)	Maß	Reduzierung (umlaufend)	Fläche (effektiv)	Differenz (zur Vorgabe)
0°	0.600 x 2.000mm	$0\mu\text{m}$	1.20mm^2	0%
20°	0.569 x 1.969mm	$15.3\mu\text{m}$	1.12mm^2	6.5%
30°	0.551 x 1.951mm	$24.3\mu\text{m}$	1.08mm^2	10.3%.



Definition eines SMD-Pads in der CAD-Bibliothek

Rückätzung : Reduzierung der Lötfläche/Funktionsfläche

Aufgabe

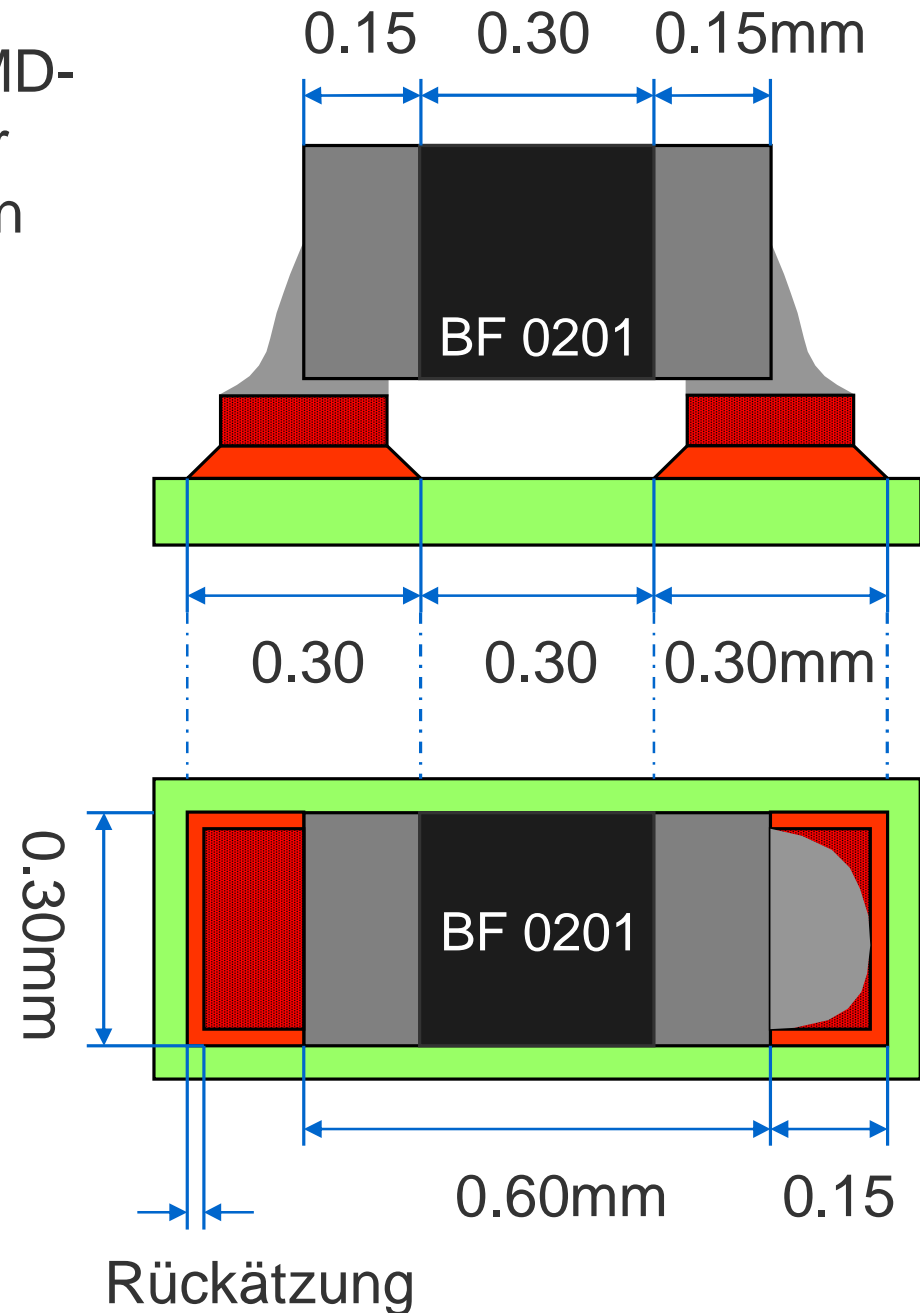
Wie groß ist die Lötfläche bei einer SMD-Bauform vom TYP "0201", wenn in der CAD-Bibliothek eine Padgeometrie von $300\mu\text{m} \times 300\mu\text{m}$ vorgesehen ist ?

Vorgaben

Die Kupferdicke beträgt $42\mu\text{m}$.
Der Ätzwinkel liegt bei 20° .

Lösung

Die Rückätzung beträgt bei diesen Vorgaben umlaufend $30.58\mu\text{m}$.
Die Lötfläche des Pads wäre dann $269.42\mu\text{m} \times 269.42\mu\text{m}$.
Das entspricht einer Reduzierung der Fläche um 19.3 %.

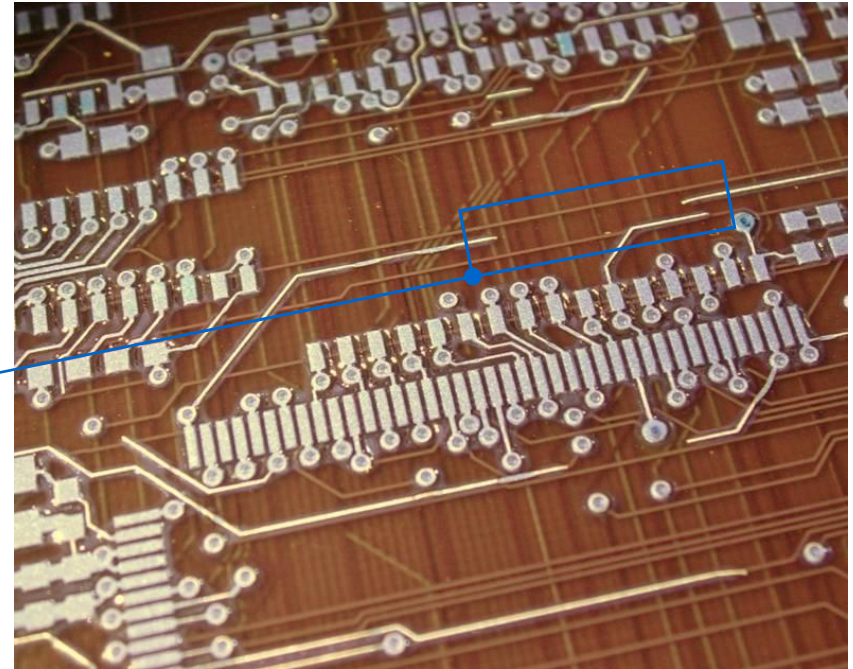


Rückätzung : Reduzierung der Funktionsfläche

Beispiel (Dickkupfer 105 μm)

Die Leiterplatte hat auf den Außenlagen eine Kupferdicke von 130 μm (~ 105 μm Basiskupfer plus 25 μm dk-Kupfer).

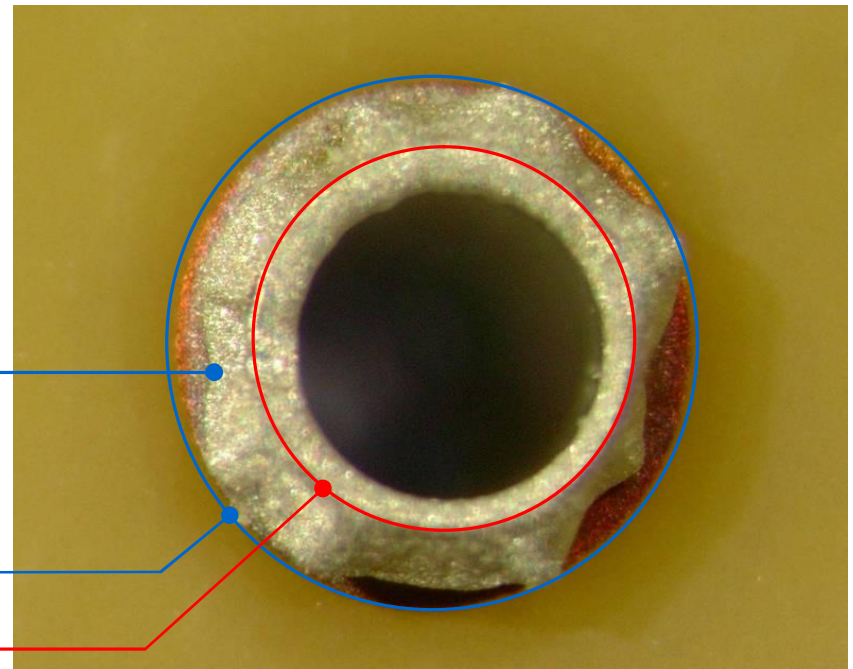
Die Leiterbahnen mit einer Breite von 250 μm sind nicht zuverlässig herstellbar. Das Ätzen (...mit *Fotoresist*) führt zu erheblichen Beschädigungen des Leiterbildes.



Beispiel (Dickkupfer 210 μm)

Sicht auf das Pad eines Vias mit einer Kupferoberflächendicke von ca. 235 μm (~ 210 μm Basiskupfer plus 25 μm dk-Kupfer).

Unterhalb des *Metallresists* ist das Kupfer stark zurückgeätzt. Von der Padbreite aus der CAD-Bibliothek ist nur noch 1/3 übrig.

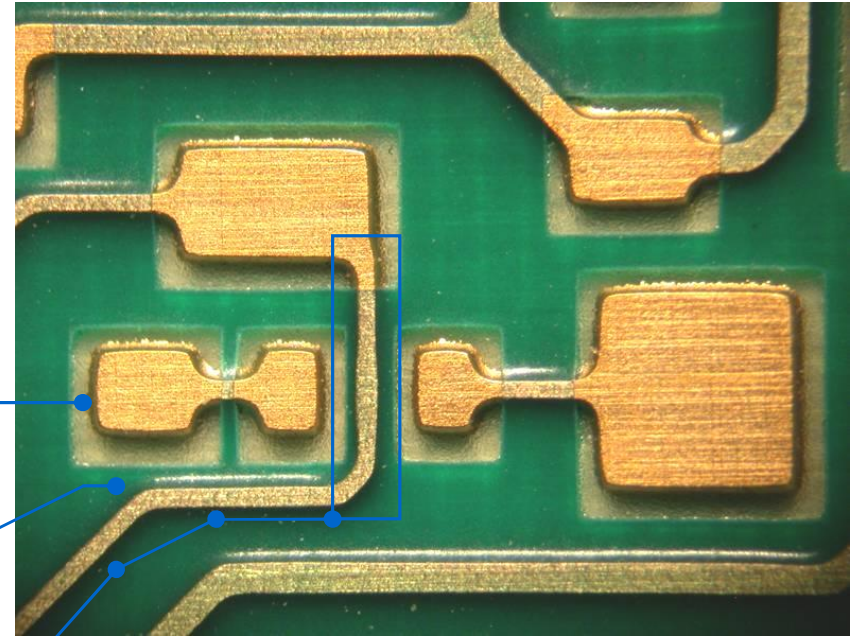


Leiterbildabstand : Dickkupfer (Details)

Konturen

Die Konturenschärfe von Leiterbildern nimmt ab, wenn die Kupferschichten dicker werden. Durch den länger anhaltenden Angriff des Ätzmediums werden die Kanten von rechteckigen Pads abgetragen. Leiterbahnen werden bei Richtungswechseln abgerundet.

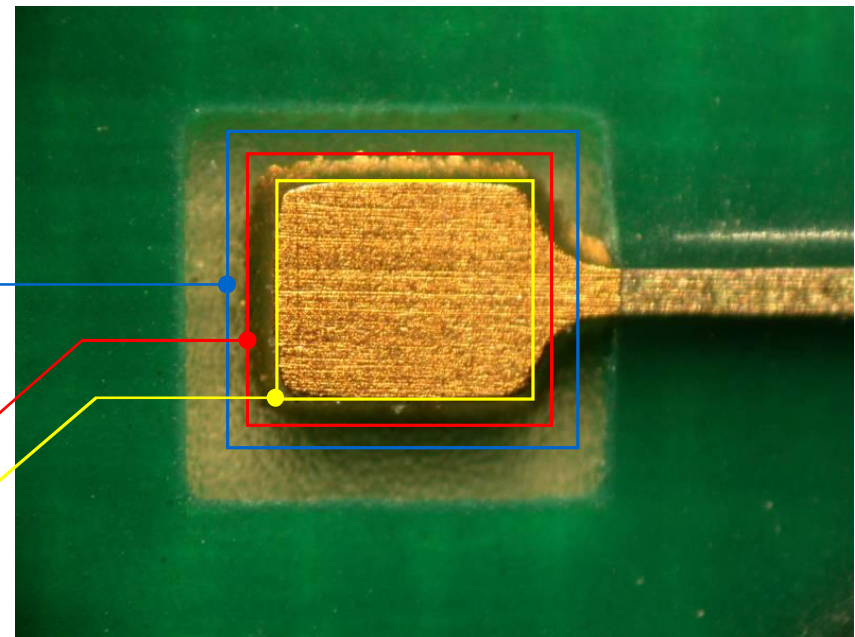
Die layoutbedingte Verteilung des Ätzmediums auf der Oberfläche führt zu ungleichmäßig dicken Leiterbildern.



Lötfläche

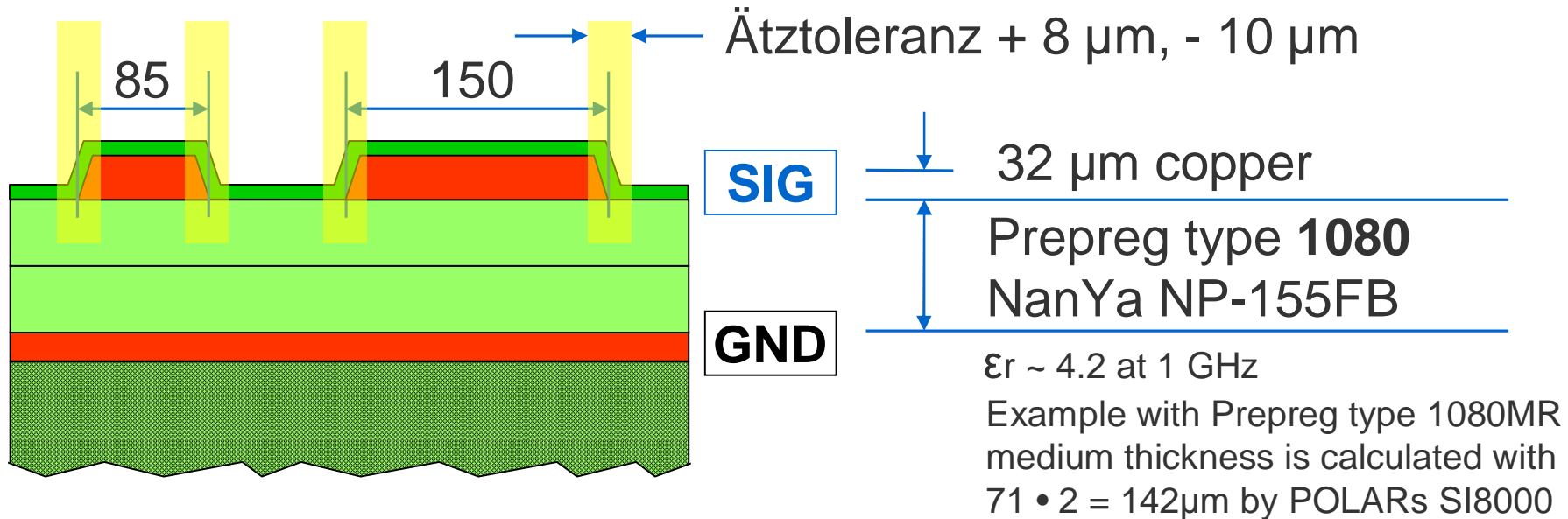
Die in der CAD-Bibliothek vorgesehene Lötfläche wird drastisch reduziert.

Verantwortlich dafür sind die fehlende Blendenkompensation und die Rückätzung des (...freiliegenden) Pads.



Toleranz physikalischer Eigenschaften

Die Ätztoleranz ist *nicht* von der Leiterbahnbreite abhängig. Deshalb wirkt sich die *gleiche* geometrische Abweichung auf die physikalischen Eigenschaften schmaler Leiterbahnen intensiver aus, als auf breite.



Impedanzabweichung ($85 \pm 0 = 74.8 \text{ Ohm}$, $150 \pm 0 = 61.0 \text{ Ohm}$)

Toleranz	Leiterbahnbreite	Impedanz	Differenz
+ 8 µm	93 µm	72.7 Ohm	- 2.1 Ohm
- 10 µm	75 µm	77.7 Ohm	+ 2.9 Ohm
+ 8 µm	158 µm	59.7 Ohm	- 1.3 Ohm
- 10 µm	140 µm	62.8 Ohm	+ 1.8 Ohm



Paddurchmesser

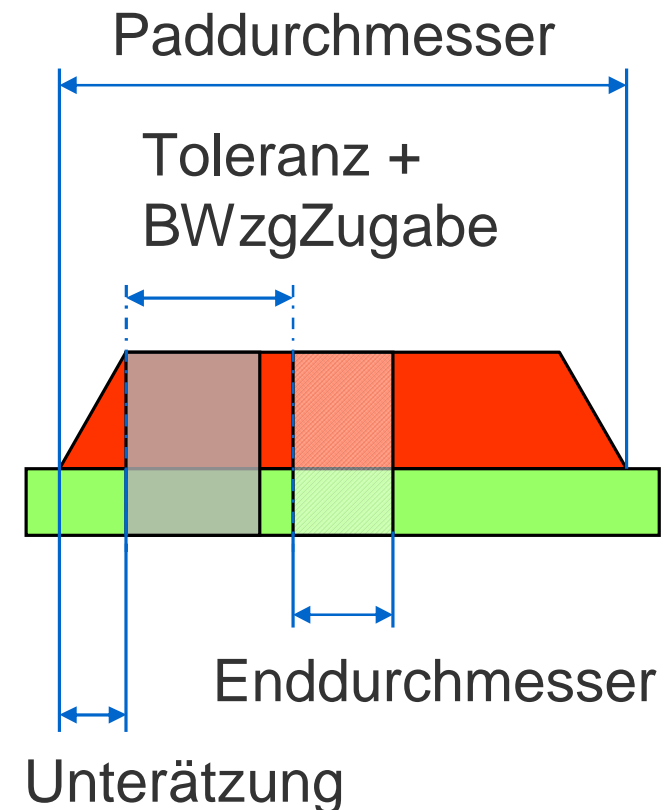
Mit der Einbeziehung der Unterätzung in die Berechnung eines Viapads oder eines THT-Pads ist der zugehörige Paddurchmesser berechenbar.

Regel (minimaler Paddurchmesser)

$$\begin{aligned}\text{Pad}_{(\min)} &= \text{Enddurchmesser} + 2 \cdot (\text{Restrिंग}_{(\min)} + \text{Unterätzung}) \\ &= \text{Enddurchmesser} + \text{BWzgZugabe} + 2 \cdot \text{Toleranz} \\ &\quad + 2 \cdot (\text{Kupferdicke} \cdot \tan \alpha)\end{aligned}$$

Hinweis (minimaler Paddurchmesser)

Weil der Paddurchmesser von der Kupferdicke abhängt, müssen die Padstacks in den *CAD-Bibliotheken* dynamisch sein. Für einen Multilayeraufbau mit unterschiedlichen Kupferschichtdicken müssen die Padstacks anpaßbar sein, wenn das Routing einen *minimalen* Abstand erfordert. Alternativ können sich die Paddurchmesser auch an der dicksten Kupferschicht eines Multilayers orientieren.



Viadefinition

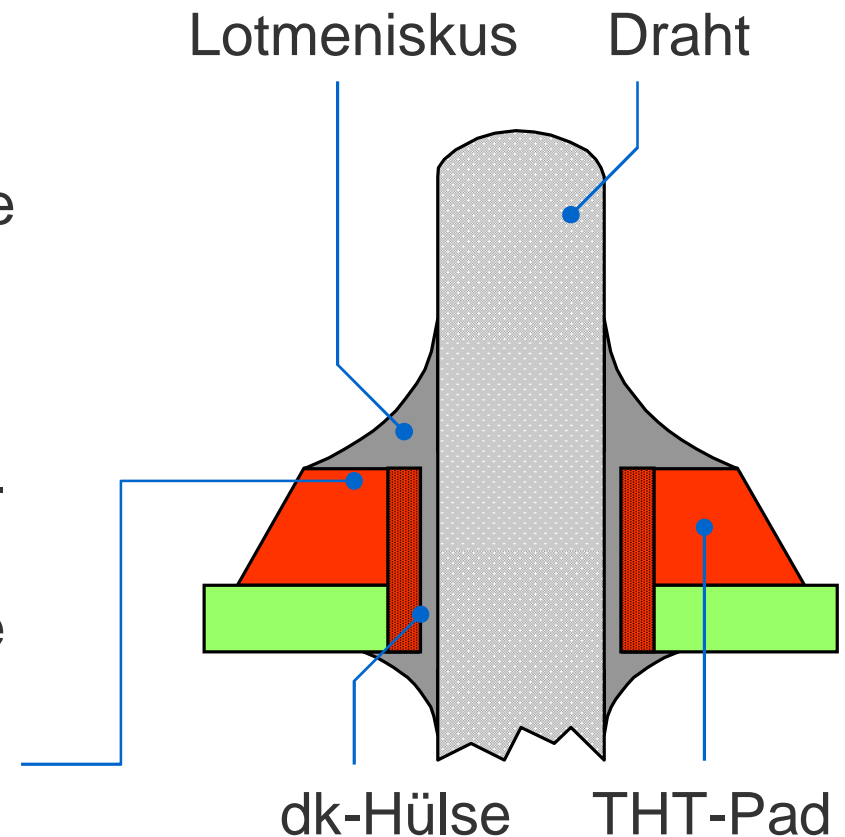
Definition (Via)

Ein *Via* ist *immer* eine zu kontaktierende Bohrung. Ein *Via* verbindet die Segmente einer Signalleiterbahn auf unterschiedlichen Ebenen einer Leiterplatte zu einer gemeinsamen Signalverbindung. Die Begriffe *Via* und *Kontaktierung* sind gleichwertig. Die Pads eines Viastacks sind *niemals* Lötunkte für Verbindungen zu Bauteilen einer Baugruppe.

Hinweis (Lotmeniskus)

Eine Bohrung für ein THT-Bauteil muß die zusätzliche Bedingung erfüllen, daß sich beim Löten der Baugruppe eine zuverlässige Verbindung zwischen dem Bauteildraht und der Leiterplattenoberfläche herstellen läßt.

Ein Maß für die Qualität der Lötung ist die Ausprägung des *Lotmeniskus*', der bei THT-Pads sehr von dem planaren Anteil der Lötfläche abhängt.



THT-Paddurchmesser

Regel (THT-Paddurchmesser)

$$\text{Pad}_{(\text{THT})} = \text{Enddurchmesser} + 2 \cdot \text{Planarer Anteil} + \text{BWzgZugabe} + 2 \cdot \text{Kupferdicke} \cdot \tan \alpha$$

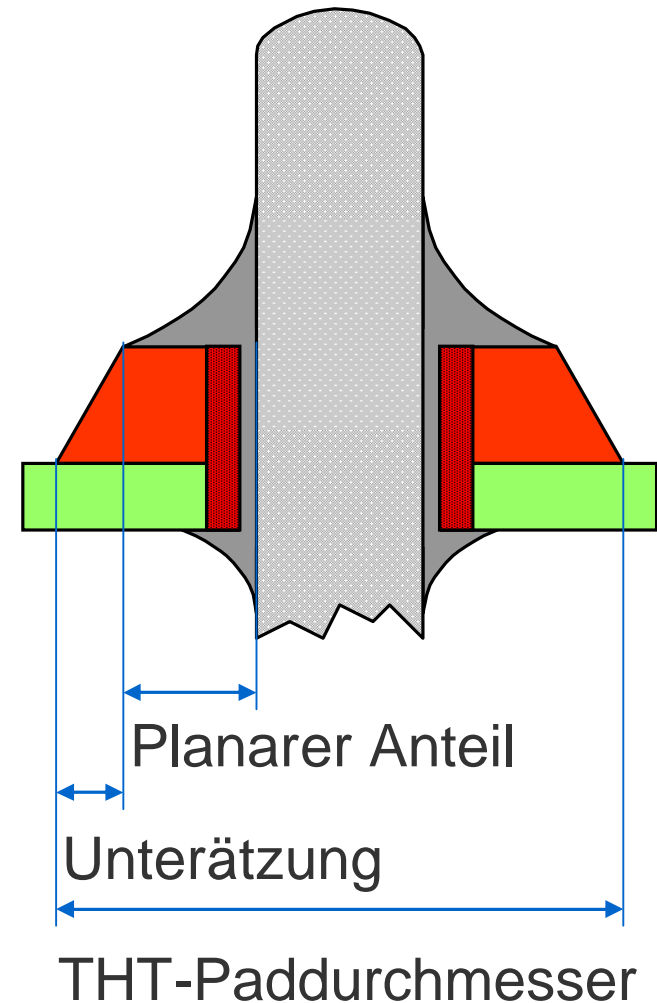
Nebenbedingung : Planarer Anteil \geq Toleranz (Bohrung zu Leiterbild)

Beispiel (THT-Paddurchmesser)

- 1100 μm ist der Enddurchmesser
- 300 μm ist der geforderte Planare Anteil
- 100 μm ist die Bohrwerkzeugzugabe
- 70 μm ist die Kupferdicke
- 30° ist der Winkel der Ätzflanke
($\tan 30^\circ \approx 0.5774$)

Dann ergibt sich der Paddurchmesser :

$$\begin{aligned} \text{Pad}_{(\text{THT})} &= 1100 \mu\text{m} + 2 \cdot 300 \mu\text{m} + 100 \mu\text{m} \\ &\quad + 2 \cdot 70 \mu\text{m} \cdot 0.5774 \\ &= 1880.8 \mu\text{m} \\ &\approx \underline{\underline{1.88 \text{ mm}}} \end{aligned}$$



BGA : Grund- und Funktionsfläche

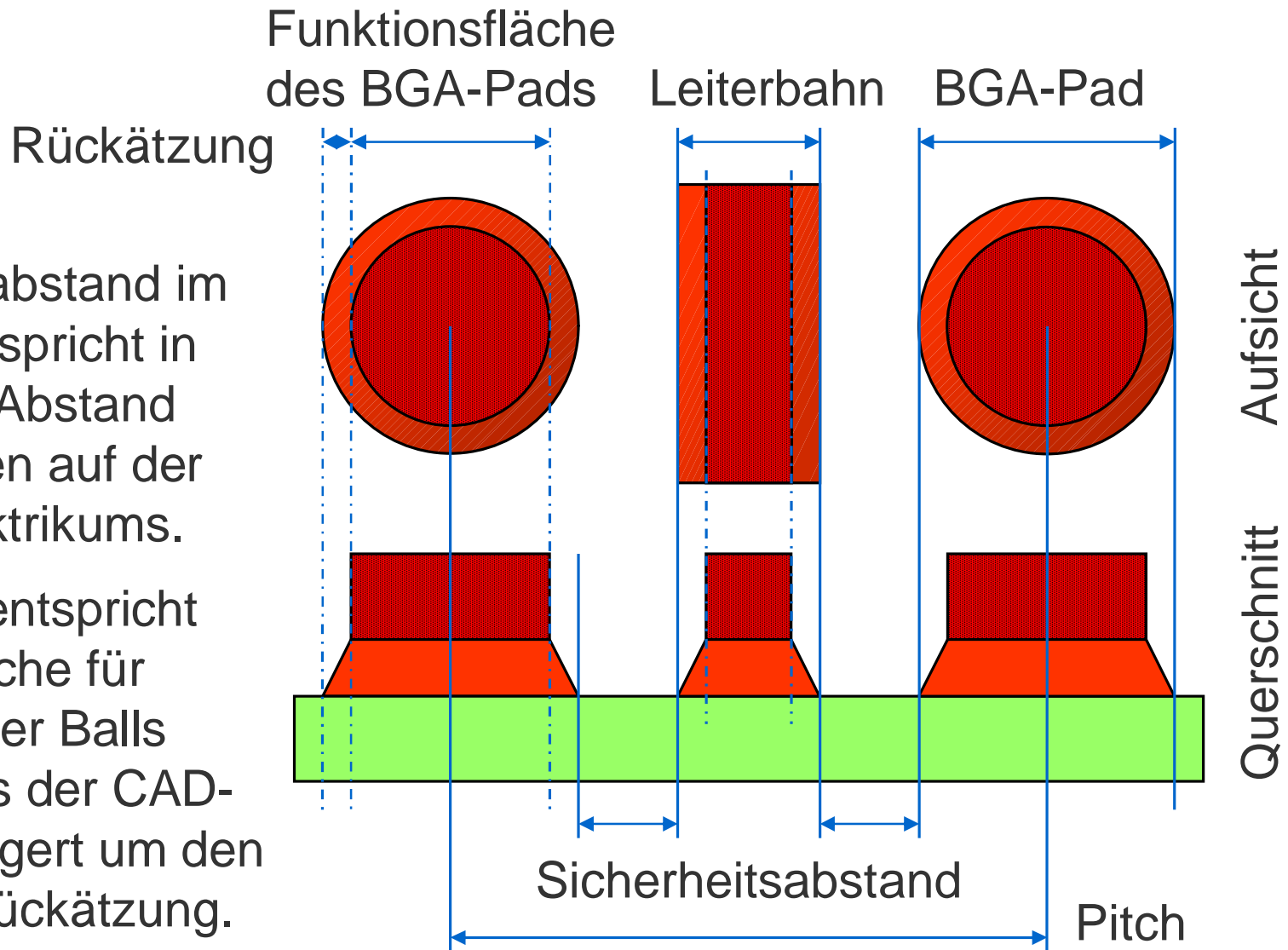
Regel (Funktionsfläche BGA)

$$\begin{aligned} \text{Funktionsfläche}_{(BGA)} &= \text{BGApad} - \text{Rückätzung}_{(ges)} \\ &= \text{BGApad} - 2 \cdot \text{Kupferdicke} \cdot \tan \alpha \end{aligned}$$

Hinweis

Der Sicherheitsabstand im CAD-Layout entspricht in der Praxis dem Abstand der Bildstrukturen auf der Höhe des Dielektrikums.

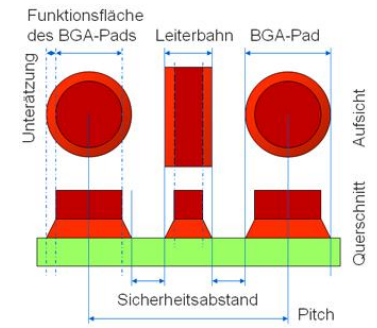
Für BGA-Pads entspricht die Funktionsfläche für das Aufsetzen der Balls der Vorgabe aus der CAD-Bibliothek verringert um den Betrag für die Rückätzung.



BGA-Paddurchmesser : Einfluß des Ätzwinkels

Beispiel

Bei einer Kupferdicke von $42\mu\text{m}$ und einem Paddurchmesser von $400\mu\text{m}$ entspricht ein Ätzwinkel von 15° für die Ätzflanke einem Flächenverlust von 10.9 % für die BGA-Oberfläche.



Kupferdicke	$42\mu\text{m}$		
Tangens	15° (~ 0.268)	25° (~ 0.466)	35° (~ 0.7)
Rückätzung	$22.50\mu\text{m}$	$39.17\mu\text{m}$	$58.82\mu\text{m}$
Paddurchmesser	Flächenverlust	Flächenverlust	Flächenverlust

200 μm	21.2 %	35.3 %	50.2 %
250 μm	17.2 %	28.9 %	41.5 %
300 μm	14.4 %	24.4 %	35.4 %
350 μm	12.4 %	21.1 %	30.8 %
400μm	10.9 %	18.6 %	27.2 %
450 μm	9.8 %	16.7 %	24.4 %
500 μm	8.8 %	15.1 %	22.1 %
550 μm	8.0 %	13.7 %	20.2 %





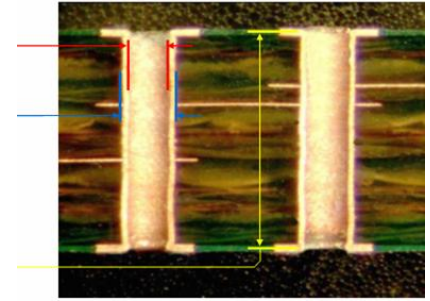
Bohren : AspectRatio



Bohrungen : AspectRatio bei dk-Bohrungen

Hinweis (AspectRatio für Bohrungen)

Für ndk-Bohrungen gibt es kein AspectRatio. Weil das AspectRatio in Abhängigkeit zur Kontaktierbarkeit einer Bohrung steht, gilt es nur für dk-Bohrungen.



Regel (AspectRatio für Bohrungen)

$$\text{AspectRatio} = \frac{\text{Lochdurchmesser}_{(\min)}}{\text{Kontaktierbare Bohrtiefe}}$$

$$\text{Lochdurchmesser}_{(\min)} = \text{AspectRatio} \cdot \text{Kontaktierbare Bohrtiefe}$$

$$\text{Kontaktierbare Bohrtiefe} = \frac{\text{Lochdurchmesser}_{(\min)}}{\text{AspectRatio}}$$

Hinweis (Lochdurchmesser)

Bei mechanisch erstellten Bohrungen ist der Lochdurchmesser identisch mit dem Bohrwerkzeugdurchmesser.

Bei durch Ablation (i.e. Lasertechnik) hergestellten Löchern ist der Lochdurchmesser identisch mit dem Durchmesser in Höhe der Startebene.



Bohrungen : AspectRatio

Mit dem "**AspectRatio für Leiterbilder**" kann der Leiterplattenhersteller das Ergebnis seines Ätzprozesses an das CAD-Design übergeben. Die **Geometrien im Layout** können dann die Prozeßtoleranzen vorausschauend ausgleichen und sowohl die Funktionsfläche (~ Lötfläche) als auch die physikalischen Eigenschaften des Leiterbildes (~ Impedanz) anpassen.

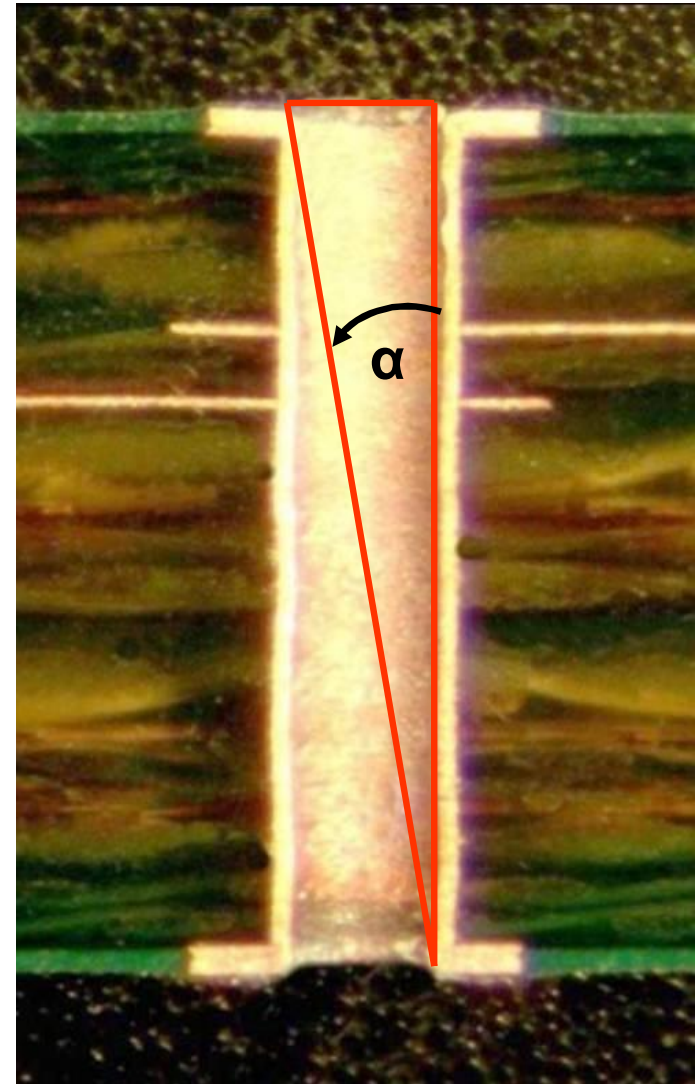
Hinweis (AspectRatio für Bohrungen)

Das "AspectRatio für Bohrungen" ist nichts anderes als der **Tangens** für die akzeptable Diagonale im Via.

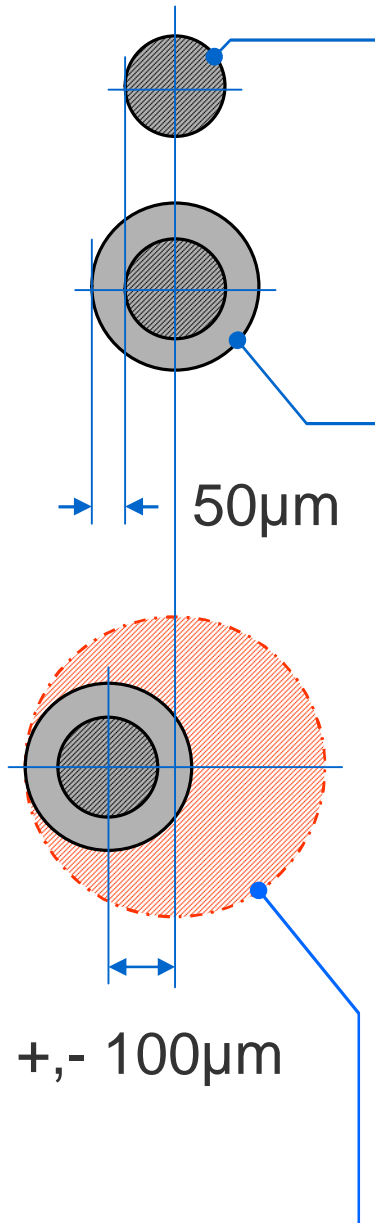
Beispiel

$$1:8 = 1/8 = 0.125 \sim \tan(0.125) = 7^\circ$$

"Ein AspectRatio von 1:8 bedeutet, daß ein Via dann zuverlässig metallisierbar ist, wenn der Winkel der Viadiagonalen zur Viahülse nicht kleiner als 7° ist."



Toleranzraum : CAD-Vorgabe, Bohrwerkzeug und Paßtoleranz



CAD gibt einen *Enddurchmesser* vor. Das zugehörige Bohrwerkzeug muß im Durchmesser größer sein, damit dieser Enddurchmesser auf der fertigen Leiterplatte nach dem Kontaktieren der Bohrhülse und dem Prozessieren der Endoberfläche auch zuverlässig erreicht wird.

Üblicherweise wählt der Leiterplattenhersteller eine *Zugabe* auf das passende Bohrwerkzeug (BWz).g).

Regel BWz = Enddurchmesser + 100µm Zugabe

Dieses Bohrwerkzeug ist somit umlaufend 50µm größer, als der vom CAD-Layout vorgegebene Enddurchmesser.

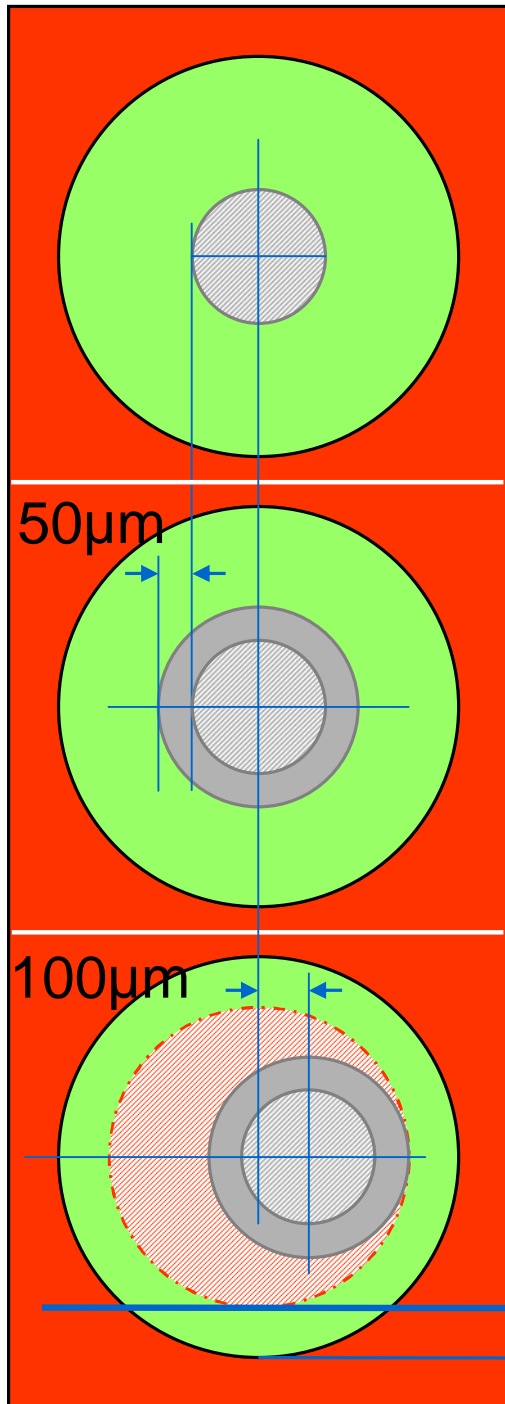
Bedingt durch die allgemeine *Toleranz* von $\pm 100\mu\text{m}$ kann die Bohrung zum Pad auf der fertigen Leiterplatte um 100µm von der Sollposition verschoben sein.

Die Bohrung wird sich letztlich innerhalb eines Toleranzraumes mit einem definierten Durchmesser wiederfinden.

Definition (Toleranzraum)

Toleranzraum = Enddurchmesser + 100µm Zugabe + (2 • 100µm Toleranz)

Isolationspads auf Powerplanes



Für die Bohrwerkzeugzugabe (BWzgZugabe) auf das passende Bohrwerkzeug (BWzg) gilt :

$$\text{BWzg} = \text{Enddurchmesser} + \text{BWzgZugabe}$$

Hinweis

Üblicherweise beträgt die BWzgZugabe 100µm. Die allgemeine Toleranz zwischen Bohrung und Leiterbild liegt bei +,- 100µm.

Für den minimalen Sicherheitsabstand gilt dann :

Regel (Minimaler Sicherheitsabstand)

$$\text{Sicherheitsabstand}_{(\text{min})} = 0.5 \cdot (\text{Isolationspad} - \text{Enddurchmesser} - \text{BWzgZugabe} - 2 \cdot \text{Toleranzbetrag})$$

↓ Sicherheitsabstand zwischen der Tangente der Bohrung und dem Kupfer der Powerplane
↑





Mittenabstände (Bohrungen)



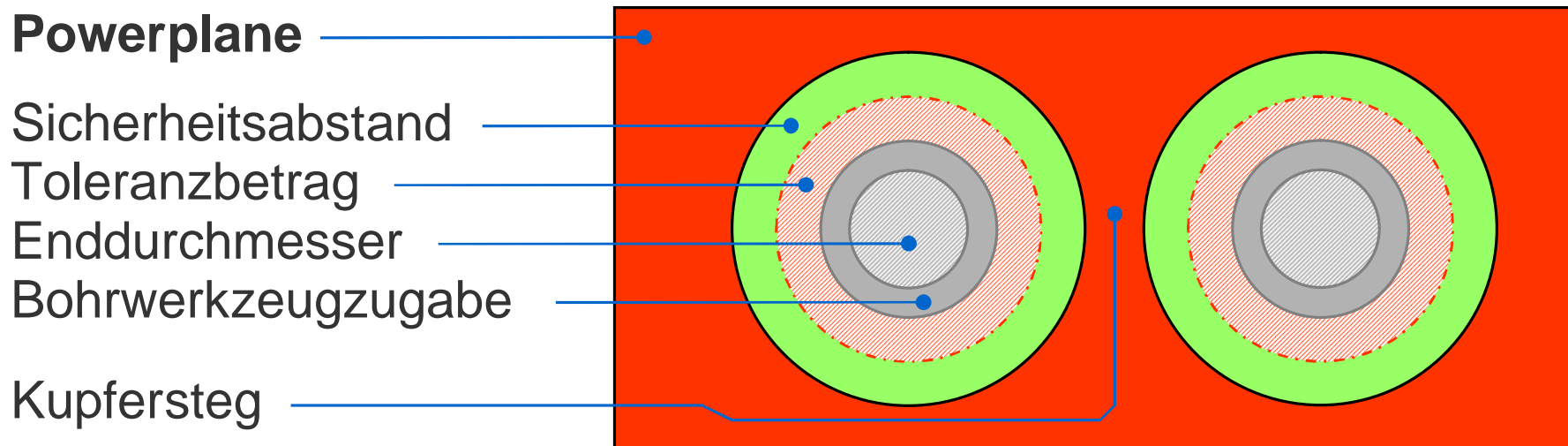
Sicherheitsabstand isolierter Bohrungen auf Powerplanes

Regel (Kupfersteg auf Powerplanes)

Für eine effektive Stromversorgung (i.e. Powerintegrität) und für einen definierten Rückstromweg (i.e. Signalintegrität) muß zwischen benachbarten Isolationspads immer ein Kupfersteg stehenbleiben.

Der minimale Mittenabstand zwischen zu isolierenden Bohrungen auf Powerplanes bestimmt, wie kompakt ein Layout geroutet werden kann.

Bestimmende Faktoren für die Geometrie sind der unverzichtbare elektrische Sicherheitsabstand zwischen der Bohrung und der Powerplane sowie die Bohrwerkzeugzugabe und der Toleranzbetrag für die Abweichung zwischen der mechanischen Bohrung und dem Leiterbild.



Mittenabstand von Isolationen auf Powerplanes

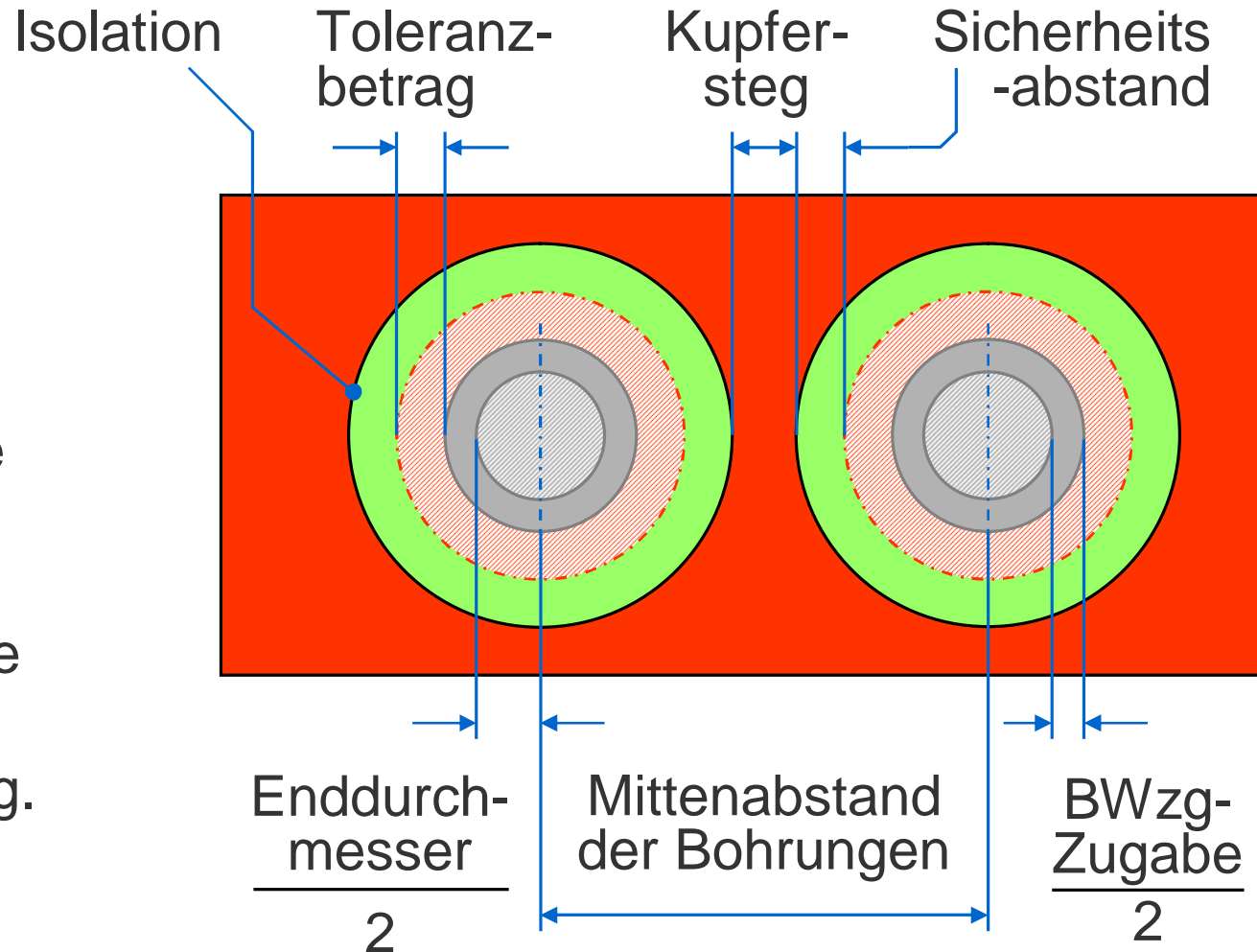
Regel (Kupfersteg bei gleichem Bohrdurchmesser)

$$\text{Mittenabstand}_{(\text{THT})} = \text{Enddurchmesser} + \text{BWzgZugabe} + \text{Kupfersteg} + 2 \cdot \text{Toleranzbetrag} + 2 \cdot \text{Sicherheitsabstand}$$

Nebenbedingung : Toleranzbetrag \geq Toleranz (Bohrung zu Leiterbild)

Sicherheitsabstand

Für den zuverlässigen Betrieb der Baugruppe ist ein ausreichender Sicherheitsabstand zwischen der Tangente der Bohrwandung und der Powerplane wichtig.





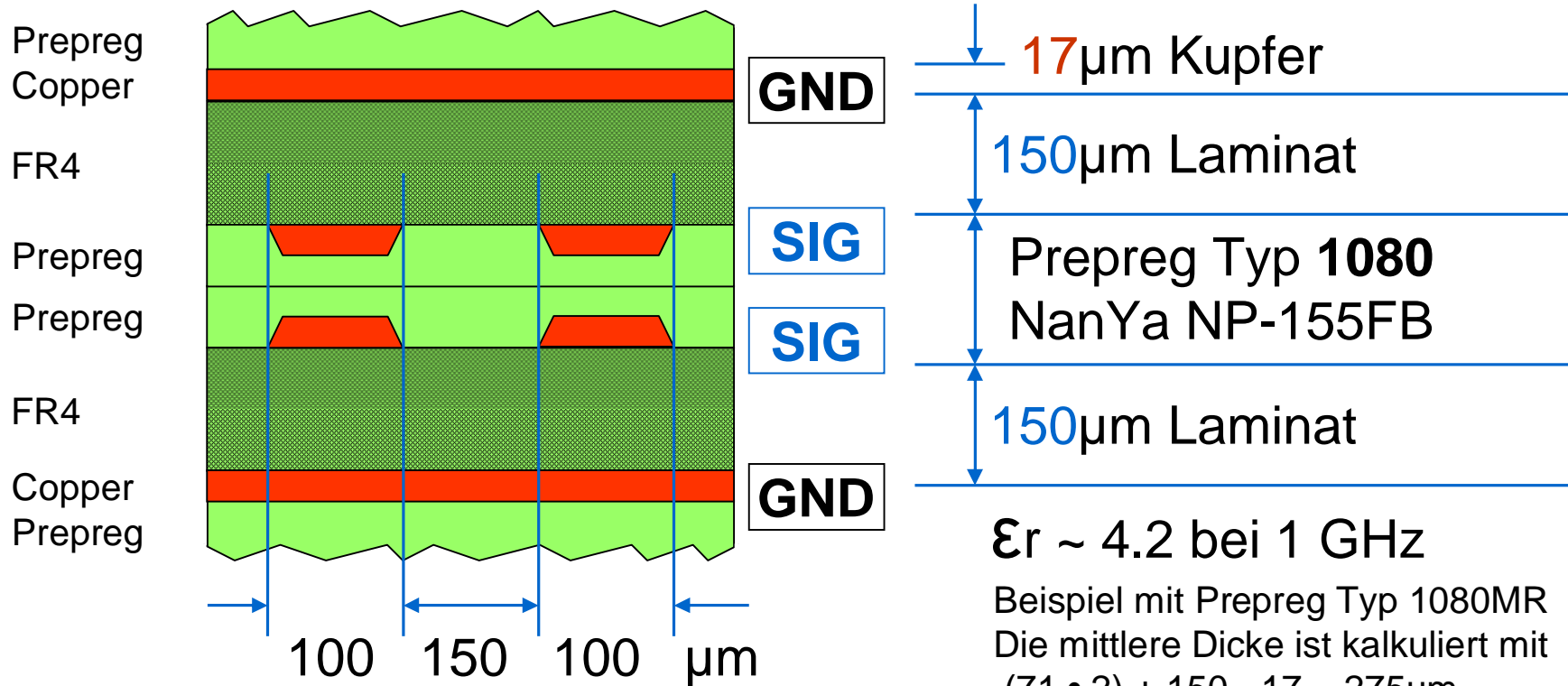
Impedanzen



Impedanzwerte bei Rückätzung

Impedance type "Differential dual Stripline"

(POLAR type "Edge-Coupled Offset Stripline 1B1A")



Impedanzwerte bei Rückätzung

(100-150-100 = 101.9 Ohm)

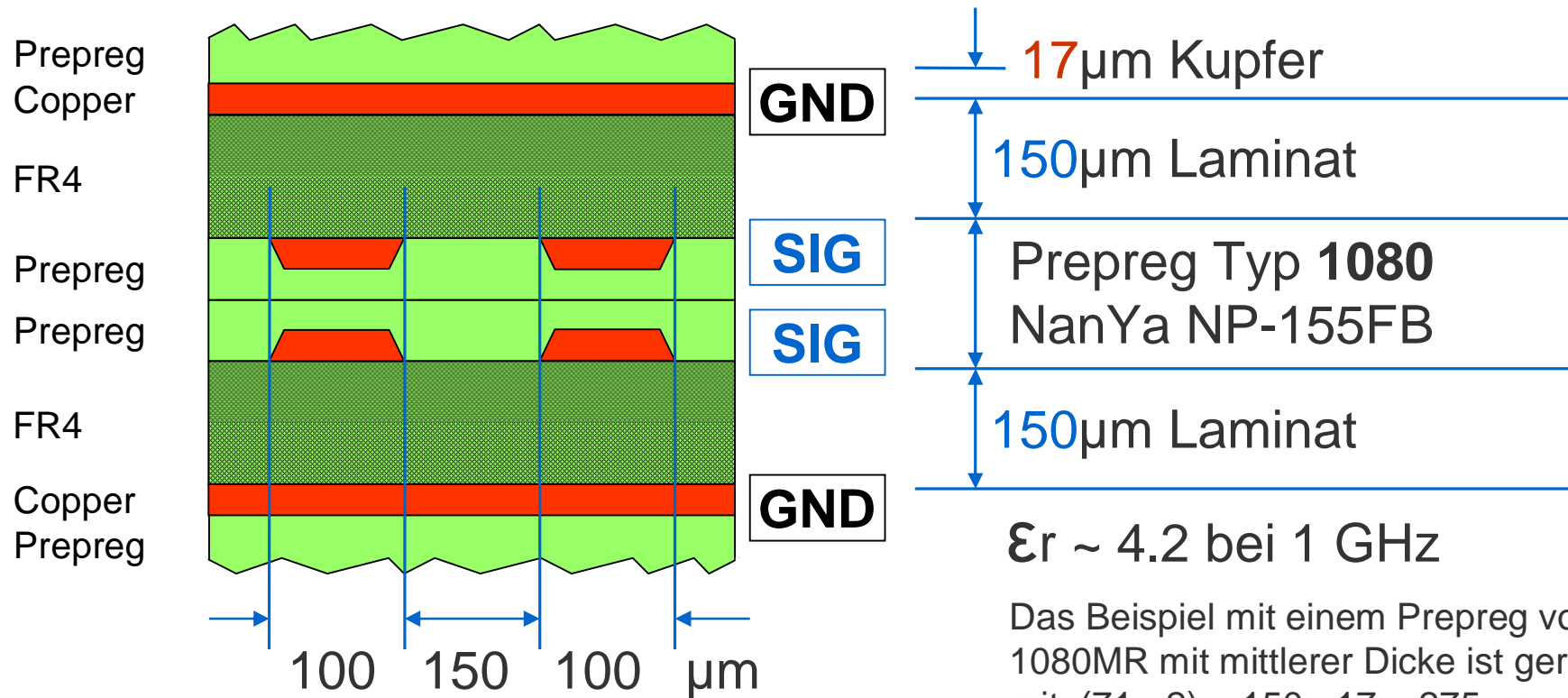
Ätzdifferenz (Durchmesser)	Geometrie	Impedanz
+ 5µm	105 - 145 - 105	99.0 Ohm
+10µm	110 - 140 - 110	96.6 Ohm
- 5µm	95 - 155 - 95	104.0 Ohm
- 10µm	90 - 160 - 90	106.6 Ohm



Impedanzwerte abhängig vom Tangens Alpha

Impedance type "Differential dual Stripline"

(POLAR type "Edge-Coupled Offset Stripline 1B1A")



Impedanzwerte mit Berücksichtigung des Tangens Alpha

Tangens Alpha	oben	Leiterbahnbreite unten	Impedanz
tan 0°	100	100	101.5 Ohm
tan 15°	100	91	103.5 Ohm
tan 25°	100	84	104.7 Ohm
tan 35°	100	76	105.9 Ohm





Fazit



Fazit

Die Komplexität elektronischer Baugruppen hat sich in den letzten 15 Jahren merklich verändert.

Es ist nicht mehr so, daß die Elektronik und die darauf installierte Software uns nur *begleiten*.

Die Elektronik und die Software treffen *Entscheidungen*. Über unseren privaten und beruflichen Alltag. Über unser Leben.

Wir sind sicherlich perfekt. Zumindestens annähernd. Fehlerfrei sind wir nicht. Der Fortschritt beruht (...auch) darauf, Fehler zu erkennen, um sie in der Zukunft vermeiden zu können.

Doch erkennen können wir Fehler nur, wenn verbindlich dokumentiert wurde, was wir gemacht haben. Die detaillierte Dokumentation der eingesetzten Materialien und der strategischen Lösungen für die Entwicklung von Leiterplatten *müssen* uns auf unserem Weg unterstützen.

Und vergessen wir bitte eines nicht.

Wenn Millionen Baugruppen gefertigt werden, dann müssen irgendwann auch Millionen Baugruppen entsorgt und/oder recycelt werden.

Und da sollte man dann schon wissen, was man vor sich hat.





...das war das...





Philosophisches zum Ende

Eine einfachere Einfachheit ist nur möglich vor dem Hintergrund einer komplexeren Komplexität.

Gerhard Eigersreiter, Graz

Komplexe Systeme erzeugen komplexe Fehler.

Berufserfahrung

Alles Gute ist immer einfach. Aber alles Einfache ist nicht immer gut.

Volksmund

Man muß die Dinge so einfach wie möglich machen, aber nicht zu einfach.

Albert Einstein

Quidquid agis, prudenter agas et respice finem.

Äsop



Referentinnen und Referenten

Dirk Deiters
Uwe Dörr
David Dudek
Gerhard Eigelsreiter
Andreas Folge
Georgi Georgiev
Prof. Dr. Thomas Klindt
Uwe Lemke
Dirk Müller
Prof. Dr. Felix Müller-Gliesmann
Jörg Nolte
Eva Ranft
Hermann Reischer
Martin Sachs
Helge Schimanski
Dirk Stans
Ciprian Stein
Thomas Winkel

Organisation und Planung

Elisabeth Dietz
Julia Scheurich
Anne Parchert

Johann Wiesböck

Danke

...alles Gute für Sie, und auf ein
Wiedersehen in nächsten Jahr...



Informationen zur
LA - LeiterplattenAkademie GmbH



LeiterplattenAkademie



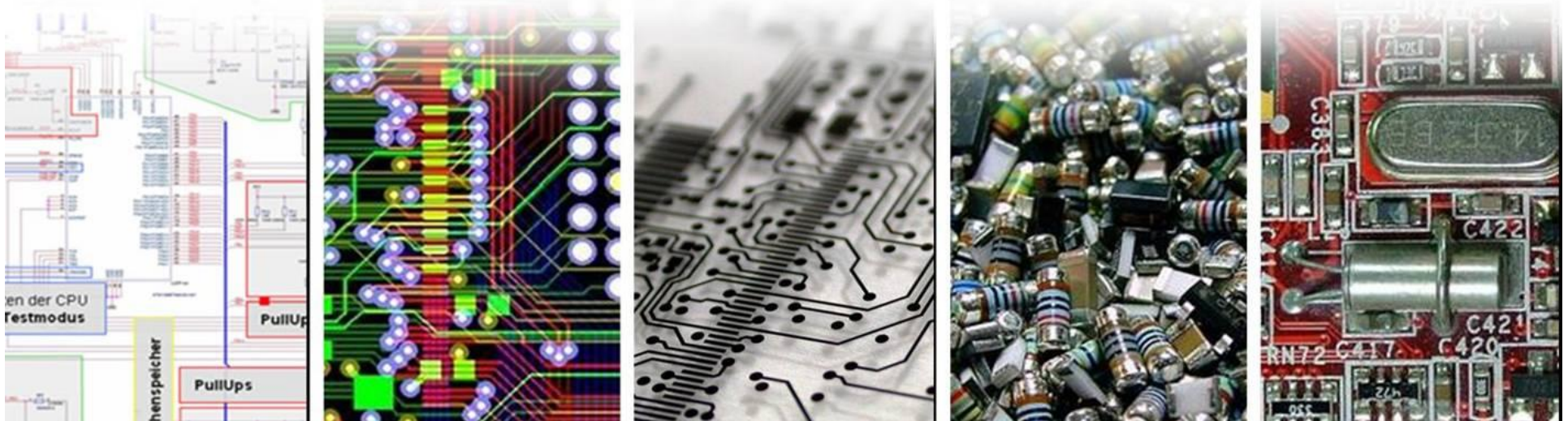
Die LA - LeiterplattenAkademie GmbH

Die Sicherung des Standortes Deutschland in Europa und der Erhalt der internationalen Wettbewerbsfähigkeit setzt eine systematische und kontinuierliche Qualifikation der Mitarbeiter/innen eines Unternehmens voraus.

Die wirtschaftliche Leistungsfähigkeit einer Industriegesellschaft und ihre technologische Kompetenz am Weltmarkt wird (auch) durch die Qualität ihrer Elektronikprodukte bestimmt.

Das erfordert eine fachlich hochwertige Aus- und Weiterbildung. Wir verstehen es als unserer Aufgabe, Fachwissen in den entscheidenden Bereichen zu vermitteln.

- Schaltplanentwicklung
- CAD-Design
- CAM-Bearbeitung
- Leiterplattentechnologie
- Baugruppenproduktion



Ihr Referent

Arnold Wiemers

Seit 1980 selbstständig als Softwareentwickler für die Kalkulation, die Fertigungsabläufe und Fertigungsleitsteuerung von Leiterplatten.

Ab 1983 angestellter Geschäftsführer für den Fachbereich CAD der ILFA GmbH, Aufbau der CAM in den 1990er Jahren und ab 2000 Technologieberatung für komplexe Leiterplatten.

Seit 2009 Inhaber und Technischer Direktor der LA-LeiterplattenAkademie GmbH.



Fachseminare zur Leiterplatten- und Baugruppentechologie.

Mitarbeit am Schulungskonzept der entsprechenden Fachverbände.

Vom IPC zertifizierter CID, CID+, CIS 6012, Tutor und Trainer. ZED.

Aktives Mitglied im AK-Design des ZVEI.

Förderung der Ausbildung an Berufs-, Fach- und Hochschulen.





© *Alle Rechte an den Unterlagen liegen beim Autor Arnold Wiemers. Eine Vervielfältigung gleich welcher Art, auch auszugsweise, ist ohne schriftliche Genehmigung der LA - LeiterplattenAkademie GmbH nicht zulässig. Alle Angaben in diesen Unterlagen sind ohne Gewähr.*

Kontakt

LA - LeiterplattenAkademie GmbH
Krefelder Straße 18
D-10555 Berlin

www.leiterplattenakademie.de

Geschäftsleitung

Kathrin Fechner

Technischer Direktor

Arnold Wiemers

Telefon 030 / 34 35 18 99

Telefax 030 / 34 35 19 02

Telefon 0171 / 358 3712

Telefax 0531 / 126441

eMail

info@leiterplattenakademie.de

eMail

awi@leiterplattenakademie.de

