

Technisch-Physikalische Anforderungen an die Signalübertragung auf Leiterplatten

Autoren für den AK Design Chain im ZVEI :

Markus Biener (Zollner AG)

Arnold Wiemers (LeiterplattenAkademie GmbH (für ILFA GmbH))

Vorwort

Der Transfer von Informationen auf der Basis von Leiterplatten wird vorerst durch andere Technologien nicht abgelöst werden können. Natürlich wird die Kommunikation zwischen elektronischen Geräten über Bluetooth oder NFC (~ Near Field Communication) deutlich zunehmen. Nur : diese Art der Kommunikation setzt die fehlerfreie Kommunikation elektronischer Komponenten voraus.

Die Qualität der Signalübertragung auf Leiterplatten muss mit der technologischen Entwicklung mithalten können. Die rein formelle Verbindung mehrerer Netzpunkte mit einer Leiterbahn, deren physikalische Eigenschaften innerhalb eines gewissen Intervalls dem Zufall überlassen ist, ist nicht länger akzeptabel.

Die intensivere Betrachtung der Eigenschaften einer Signalübertragung zeigt sofort, daß hier eine kollektive Aufgabenstellung zu lösen ist. Offensichtlich sind geometrische Faktoren zu beachten.

Das Routing von BGAs ist mit zu breiten Leiterbahnen nicht möglich. Doch wann ist eine Leiterbahn zu breit oder zu schmal?

Die Geometrie der Leiterbahn wird durch das CAD-Design vorgegeben. CAD orientiert sich dabei unter anderem am Pitch der Komponenten (...wer wählt die Bauteile aus?).

Der Leiterplattenhersteller muss die Geometrie umsetzen können (...mit welcher Toleranz ist das möglich?) und der Baugruppenproduzent muß die Bauteile montieren können (...mit welcher Technologie?).

1 Die Aufgabe elektronischer Baugruppen

Eine Baugruppe hat die Aufgabe, Informationen zwischen den Komponenten zu transportieren. Dafür werden Leiterbahnen benötigt. Für den Transport der Informationen muß Energie zur Verfügung stehen. Dafür werden Powerplanes benötigt. In einem CAD-Layout müssen deshalb Bereiche auf den jeweiligen einzelnen Layern und/oder im Lagenaufbau vorgesehen sein, die diese Aufgabe übernehmen können (Bild 1, Multilayerdokumentation).

Die heute zu verarbeitenden Datenvolumina erfordern eine hohe Übertragungsgeschwindigkeit. Das betrifft den internen Signaltransfer auf der Leiterplatte sowie den externen Signaltransfer zu anderen elektronischen Komponenten per Funk oder Kabel. Das betrifft ebenfalls die schnelle, stabile und störungsfreie Stromversorgung der Prozessoren, Speicher und Logikbauteile der Baugruppe.

Die Notwendigkeit, bereits beim Lagenaufbau physikalische Gesetzmäßigkeiten beachten zu müssen, nimmt zu. Ein stabiles EMV-Verhalten mit geringer Störabstrahlung wird angestrebt. Die Lösungen werden bisher vornehmlich auf der

Seite des Schaltungs- und Gerätekonzeptes gesucht. Seit einigen Jahren findet die Signalintegrität immer mehr Berücksichtigung, wobei neben der impedanzdefinierten Leiterbahnführung auch die Konstruktion

Bild 1) Multilayerdokumentation

Material	Stack-Up	Vias	Parameter	Layer
FR4	25µm		LY-Fin	SG1
Plattier	25µm			
NP-155B	75µm	100µm Ø 0,20 D	100µm x 30 D	LY-1
Copper	17µm	100µm Ø 0,20 D	100µm x 30 D	LY-2
NP-155B	75µm	100µm Ø 0,20 D	100µm x 30 D	LY-3
Copper	17µm	100µm Ø 0,20 D	100µm x 30 D	LY-4
NP-155B	75µm	100µm Ø 0,20 D	100µm x 30 D	LY-5
Copper	17µm	100µm Ø 0,20 D	100µm x 30 D	LY-6
NP-155B	75µm	100µm Ø 0,20 D	100µm x 30 D	LY-7
Copper	17µm	100µm Ø 0,20 D	100µm x 30 D	LY-8
NP-155B	75µm	100µm Ø 0,20 D	100µm x 30 D	LY-9
Copper	17µm	100µm Ø 0,20 D	100µm x 30 D	LY-10
Plattier	25µm		LY-Box	SG2

LP-Klasse	starr
Gesamtdicke	1.60mm
Material	FR4
Layer	10
Kontaktiert	ja
BlindVias	nein
BuriedVias	nein
Lagentypen	5 x Sig 5 x Pow
MPS	LY-2 LY-3 / LY-8 LY-9
Pluggen	nein
KM	ja
Impedanz	50 Ω single ended 90 Ω differentiell 100 Ω differentiell
Montage	1 x

definierter Rückstromwege wichtig ist. Erst zögerlich wird mit der Integration kapazitiver Planes in den Lagenaufbau die Powerintegrität umgesetzt.

Die heute mögliche Materialvielfalt gestattet es, sehr fein abgestufte Strategien für die Konstruktion moderner Baugruppen zu entwickeln. Eine wichtige Option ist, technisch-physikalische Anforderungen an die Gerätefunktion mit den Mitteln der Leiterplattentechnologie lösen zu können.

Die Forderung nach der zuverlässigen Funktion einer elektronischen Baugruppe ist ein häufig unterschätzter Aspekt. Die Prozeßverfahren, Anlagentechnologien und Eigenschaften der eingesetzten Materialien ändern sich kontinuierlich. Trotzdem muß die einheitliche und reproduzierbare Qualität einer Baugruppe sichergestellt werden können.

Die Wirtschaftlichkeit einer Leiterplatte orientiert sich an einem möglichst niedrigen Preis. Es ist allerdings künftig nicht mehr vorteilhaft, die Kosten und die Funktion einer Baugruppe isoliert vom Aufbau des Multilayers zu betrachten. Die Kosten für Schaltplankonstruktion, CAD-Layout, Leiterplatte, Bauteile, Geräte- montage und Funktionsprüfungen müssen als Systemkosten verstanden und auch in Summe bewertet werden. Es ist inzwischen einfach, effektiv und kostengünstig, die physikalisch-technische Leistung einer Baugruppe über die Qualität des Multilayeraufbaus zu steuern, sodaß sich die Investition in eine hochwertige Leiterplatte immer lohnt.

Entscheidend ist, daß die Highspeed-Eigenschaft an die Technologie der Bauteilkomponenten geknüpft ist. Der Trend bei der Entwicklung der integrierten Bauteile wird dazu führen, daß in wenigen Jahren *jede* digitale Schaltung die Highspeed-Bedingungen berücksichtigen muß.

Für die Konstruktion einer zuverlässig funktionierenden Baugruppe müssen drei Anforderungen beachtet werden.

Signalintegrität Für alle Signalwege muß immer ein kontrollierter Rückstromweg zur Verfügung stehen. Die Realisierung dieser Forderung bedeutet den Einbau mehrerer GND-Planes und führt zwangsläufig zu höherlagigen Multilayern mit 12 bis 14 Lagen. Mit der Signalintegrität ist auch die definierte Signallaufzeit verbunden, die hauptsächlich über einen vorgegebenen Impedanzwert charakterisiert ist.

Powerintegrität Die Spannungsversorgung der Baugruppe muß stabil und leistungsfähig sein. Die Abstände zwischen GND und VCC sollten maximal 100µm betragen, besser sind 75µm, *ideal* sind 50µm.

EMV Das interne und externe EMI-/EMV-Verhalten einer Baugruppe kann durch die Metallisierung der Leiterplattenkanten deutlich verbessert werden. Die Strategie dabei ist, für die Abschirmung des inneren Bereiches des Multilayers zu sorgen.

2 Impedanz

Aus Sicht der Leiterplattenfertigung besteht die Einhaltung der Impedanz vornehmlich in der Kontrolle mechanischer Parameter (...Laminatdicke, Kupferdicke, Leiterbahnbreite, Leiterbahnabstand) und in der Reproduzierbarkeit der Produktionsprozesse (...Fotoplotten, Resist, Belichten, Multilayer verpressen, Ätzen).

Damit eine entsprechende Datenaufbereitung von CAM möglich ist und damit die Leiterplattenqualität während oder am Ende der Produktion von der Qualitätssicherung beurteilt werden kann, muß unter anderem die Schnittstelle zwischen CAD und CAM verbindlich festgelegt werden.

Die Realisierung von Impedanzen ist auf Grund der Anforderungen und der möglichen Materialien, der Lagenanzahl und der zahlreichen geometrischen Lösungen sehr vielfältig. Für die Baugruppe, das CAD-Layout und die Leiterplattenproduktion ergeben sich Aufwand, Kosten, Risiko und Zeitverlust.

Es erscheint sinnvoll, Standards zu definieren, indem einer Standardimpedanz ein Standard-Lagenaufbau mit Standardmaterial zugeordnet wird. Die Integration eines hochpoligen BGAs (i.e. „Ball Grid Array“) in eine elektronische Schaltung ist eine solche komplexe Aufgabenstellung.

Die Systematik, mit der Stromversorgungsräume und Signallräume konstruiert und zueinander angeordnet werden, bestimmt die Vorhersagbarkeit und die Zuverlässigkeit der elektronischen Baugruppe (Bild 2, Impedanzmodul für den CAN-Bus).

Das gilt von Beginn an. Bereits in der Phase der Schaltplanerstellung müssen die Übertragungseigenschaften der Signalverbindungen definiert sein. Das CAD-System benötigt für die Simulation der Signalqualität die Kenntnis über die Lagenabstände, die Werte für die Dielektrika und den Signalpfad über die Kontaktierungen.

Die rechtzeitige Deklaration der Funktionsräume erlaubt nicht nur die zuverlässige Simulation der zu konstruierenden Baugruppe. Es werden gleichzeitig auch die Konstruktionsvorgaben für die Erstellung des CAD-Layouts und die Anforderungen an die Produktion der Leiterplatte und der Baugruppe definiert.

3 Stromversorgung

Die Außenlagen sind üblicherweise dem Routing der Signalverbindungen vorbehalten, während die Energieversorgung der Komponenten in den Innenbereich der Leiterplatte verlegt wird. Um Bauteile mit Energie versorgen zu können, muß ein Kontakt zu den Stromversorgungsebenen hergestellt werden. Und um die Signalnetze zu verdrahten, müssen Verbindungen über mehrere Ebenen geroutet werden. Damit keine Fehlfunktionen entstehen, muß die Hülsenwand einer Bauteilbohrung oder eines Vias einen ausreichenden Isolationsabstand von der jeweils durchlaufenen Plane haben.

Alle Bohrungen werden in der Bibliothek eines CAD-Systems als Padstacks angelegt (Bild 3, Padstacks). Mit der Erstellung des CAD-Layouts werden Bauteile virtuell im Layout plaziert. Mit dem Routing werden Vias ergänzt. Der Durchmesser der Bauteil- und Viabohrungen ist immer als Enddurchmesser zu verstehen.

Wenn es in der Layoutkonstruktion Powerplanes gibt und wenn diverse Bohrungen und Vias *nicht* an diese Powerplane angeschlossen sein dürfen, dann muß der Padstack für die entsprechenden Planes ein Isolationspad (~ Isolation, ~ Antipad) vorsehen. Innerhalb dieses Pads verläuft die Hülse des Vias. Deren Metallisierung muß einen Isolationsabstand zur Plane haben. In der Praxis ist der Isolationsabstand an die Layoutgeometrie gekoppelt.

Der CAD-Designer muß wissen, daß ein Sicherheitsabstand nicht fix für beliebige Enddurchmesser ist sondern einen dynamischen Charakter hat.

Bild 2) Impedanzmodul für den CAN-Bus (~ 120 Ω)

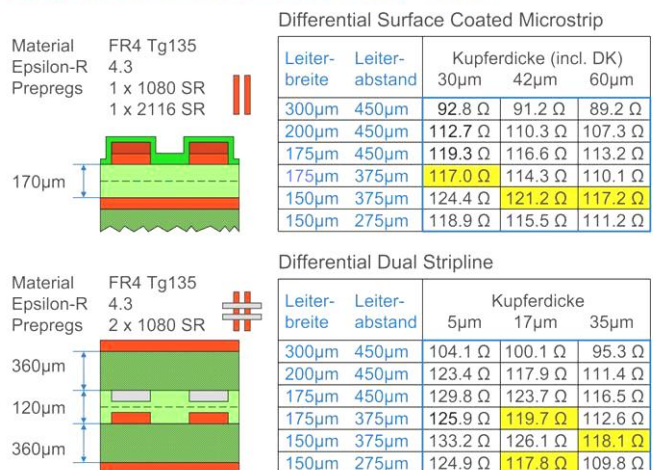
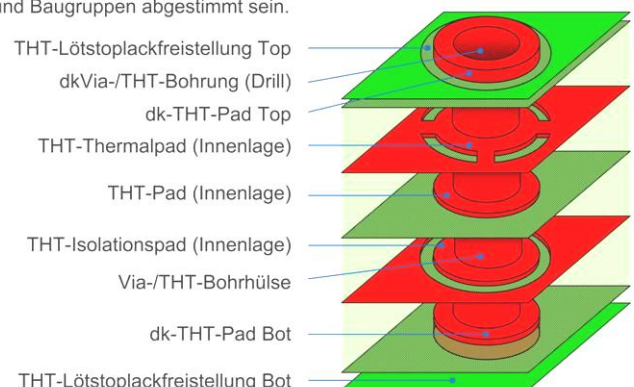


Bild 3) Padstacks von dk-Vias und dk-THT-Bohrungen in Multilayern

Elementare Geometrien für den Padstack von dk-Bohrungen in der Bibliothek des CAD-Systems. Für das fachgerechte Routing eines Layouts müssen diese Geometrien auf die Produktion der Leiterplatten und Baugruppen abgestimmt sein.



Wichtig ist, daß die *Baugruppenfunktion* berücksichtigt wird. Damit ist nicht vorrangig die leiterplattentechnische Machbarkeit gefragt, sondern die Anwendung und das Betriebsumfeld. Im Ex-geschützten Gerätebau wird man sicherlich Isolationsabstände von mindestens 300µm und mehr fordern und sich weniger für *minimal machbare* Grenzwerte interessieren. Vergleichbares gilt für Baugruppen, die mit hohen Strömen belegt sind.

In allen Fällen ist ausschlaggebend, daß der reale Isolationsabstand auf der Leiterplatte im *Vorfeld verbindlich berechnet* werden kann. Der Arbeit am CAD-Layout müssen dafür aussagefähige Berechnungsansätze zur Verfügung stehen. Insbesondere der minimale Durchmesser des Isolationspads und der maximale Enddurchmesser müssen berechnet werden können.

4 CAD-Design

Jedes Bauteil benötigt einen ausreichend großen Platz, der auf der Leiterplatte zur Verfügung gestellt werden muß. Werden viele Bauteile für die Funktion eines Gerätes benötigt, dann muß die Leiterplatte eine ausreichende Grundfläche anbieten. Die Bauteile werden während der Phase der Erstellung des CAD-Layouts auf dieser (...noch virtuellen) Grundfläche verteilt. Daraus ergibt sich notwendigerweise ein räumlicher Abstand zwischen den Bauteilen.

Für die Stromversorgung muß die Energie an die Bauteile herangeführt werden. Das geht genau dann, wenn für diese Aufgaben auf der Leiterplatte die erforderlichen Wege zur Verfügung stehen. Im Idealfall fließt der Strom ungehindert auf kurzem Weg vom Erzeuger zum Verbraucher.

Die Signale dürfen auf einer Leiterplatte offensichtlich *nicht in beliebigen* Bereichen verlaufen und schon gar nicht dürfen sie beliebig lang sein. Ebenfalls zeigt sich, daß Funktionsverluste auftreten, wenn die Betriebsenergie der Baugruppe bei Bedarf *nicht sofort* vor Ort bereitgestellt werden kann.

Hin- und Rückweg des Signals sind als eine Einheit zu werten. Wenn ein hohes Maß an Signalintegrität gewährleistet werden soll, dann geht das nur, wenn der Hin- und der Rückweg so dicht wie möglich beieinander liegen. Zwischen dem Signal und dem GND-Layer baut sich ein elektromagnetisches Feld auf, dessen Qualität dann maximal ist, wenn der Raum, den dieses Feld belegt, minimal ist.

Eine der vielen strategischen Aufgaben für das Routen eines CAD-Layouts ist die Vorhersage, wie und wo dieser Signalraum später auf der fertigen Leiterplatte zur Verfügung stehen wird.

Kann diese Vorhersage verbindlich getroffen werden, dann ist das Layout unter Kontrolle. Andernfalls ist es das eben nicht.

An einem CAD-System wird der Rückstrom zu einem diskreten Signal bekanntlich *nicht geroutet*. Zwar sind die Stromversorgungspotentiale in der Netzliste abgelegt und damit dem CAD-System bekannt.

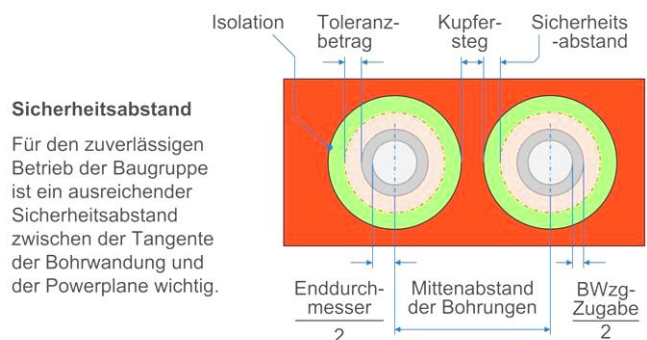
Die Potentiale sind jedoch üblicherweise als Flächen (~ Planes) ausgelegt und damit von dem individualisierten Routing der Signalverbindungen entkoppelt. Ergo fehlt auf den Planes auch die Zuordnung eines individuellen Flächenbereiches (i.e. „Flächenkanals“) zu einem Signal. Und weil das so ist, kennt das CAD-System (...zur Zeit) den Rückstromweg nicht. Das wiederum bedeutet aber, daß der finale DesignRule-Check niemals von vollständiger Qualität sein kann.

Bild 4) Mittenabstand von Isolationen auf Powerplanes

Regel (Kupfersteg bei gleichem Bohrdurchmesser)

$$\text{Mittenabstand}_{(\text{TH})} = \text{Enddurchmesser} + \text{BWzgZugabe} + \text{Kupfersteg} + 2 \cdot \text{Toleranzbetrag} + 2 \cdot \text{Sicherheitsabstand}$$

Nebenbedingung : Toleranzbetrag \geq Toleranz (Bohrung zu Leiterbild)



Der Rückstromweg muß folglich *zwischen* den Wärmefallen und den Isolationspads verlaufen. Das funktioniert allerdings nur, wenn zwischen den Geometrien der Wärmefallen und der Isolationspads ausreichend Platz bleibt, der für die Ausprägung eines ausreichend breiten Kupfersteges geeignet ist (Bild 4, Mittenabstand von Isolationen).

Hier stehen sich die Leiterplattentechnik und die physikalischen Anforderungen an das Layout gegenüber. Während die Geometrien im CAD-Layout möglichst nah zusammenrücken sollen, muß die Ausprägung des Kupfersteges den Anforderungen der Ätzprozesse genügen. Aus Sicht der Ätztechnologie kann die Stegbreite als ein kurzes Leiterbahnsegment angesehen werden. Es gelten dann die für Leiterbahnen üblichen Vorgaben hinsichtlich der strukturierbaren Leiterbahnbreite.

Wird ein Leiterbahnvektor vom CAD-Layer bewegt, dann bewegt er auch den Raum des zugehörigen elektromagnetischen Feldes auf der Leiterplatte, in dem sich später das Signal befinden wird. Und damit bewegt er natürlich auch die Fläche, die auf einer der benachbarten Lagen für den Rückstrom benötigt wird. Während des Routings bleibt dieser Aspekt gerne unbeachtet. Es gibt im Moment des Routens praktisch keine Rückmeldung vom System, daß eine Leiterbahn in einen Bereich hinein verlegt wurde, bei dem der Rückstrombezug verlorengegangen ist.

Kommen Viabohrungen dicht zusammen, dann kommen auf den Innenlagen auch Isolationspads dicht zusammen. Reduziert sich der Abstand extrem, dann kann die Ausprägung eines Kupfersteges für den Rückstrom gefährdet werden.

5 Basismaterial

Die physikalischen Eigenschaften von Leiterplatten werden weitgehend von den Eigenschaften der verbauten Basismaterialien bestimmt. (Fast) alle elektronischen Baugruppen basieren auf dem Basismaterial FR4. Durch die Integration der Geometrien, die am CAD-System konstruiert werden, ergibt sich die individuelle physikalische Funktion eines Multilayers.

Das Material der nächsten Jahre werden FR4-Derivate sein. Die Materialeigenschaften sind (...weitestgehend) bekannt, sodaß sowohl die Leiterplattenfertigung als auch die Baugruppenproduktion kontrolliert durchgeführt werden können. Die verfügbaren Materialdicken der Prepregs und Lamine gestatten zudem sehr variantenreiche Aufbaukonzepte. Die Verbreitung der Herstellungstechnologie für die Produktion von Multilayern erlaubt zudem die Kombination von unterschiedlichen Materialklassen und damit die Fertigung von Hybridmultilayern (... zu denen letztlich auch die starrflexiblen Leiterplatten gehören).

Von speziellem Interesse sind die Prepregs. Die Bewertung der mechanischen Eigenschaften zeigt, daß bereits die Dickentoleranz eines Prepregs einen Einfluß auf das physikalische Verhalten eines Multilayers hat. Betroffen ist die Signalintegrität, da sich durch die Dickenänderung der Prepregs die kapazitiven Eigenschaften auf den benachbarten Lagen ändern. Das wirkt sich direkt auf die resultierenden Impedanzwerte der Signalleiterbahnen aus. Ob die Abweichung zu einer vernachlässigbaren oder einer schwerwiegenden Toleranz der Impedanzwerte führt, hängt letztlich von der Geometrie der gerouteten Leiterbilder ab und von der Multilayerkonstruktion an sich. Die dielektrischen Eigenschaften des Basismaterials gehen in die Berechnung der Impedanz mit ein. Damit muß die Kontinuität der Materialqualität berücksichtigt werden.

Bild 5) Basismaterial : ϵ_r / Tg / CTE / $\tan \delta$

Material	ϵ_r	[f]	Tg	CTE(x,y,z)	$\tan \delta$	[f]
FR4 Duraver 104ML	4.30	1 GHz	135	10 10 170	0.0280	1 GHz
NP-155F	4.10	1 GHz	150	10 14 60	0.0140	1 GHz
NPG-150R	4.20	1 GHz	150	13 13 50	0.0110	1 GHz
RT/duroid 5870	2.33	10 GHz		22 28 173	0.0012	10 GHz
RT/duroid 5880LZ	1.96	10 GHz		44 43 42	0.0019	10 GHz
RT/duroid 6002	2.94	10 GHz		16 16 24	0.0012	10 GHz
Ro3003	3.00	10 GHz		17 16 25	0.0013	10 GHz
Ro3006	6.15	10 GHz		17 17 24	0.0020	10 GHz
Ro3010	10.20	10 GHz		13 11 16	0.0022	10 GHz
Ro4003C	3.38	10 GHz		11 14 46	0.0027	10 GHz
Ro4360G2	6.15	10 GHz		13 14 28	0.0038	10 GHz
TMM 13i	12.85	10 GHz		19 19 20	0.0019	10 GHz
TMM 4	4.50	10 GHz		16 16 21	0.0020	10 GHz
TMM 6	6.00	10 GHz		18 18 26	0.0023	10 GHz
Ultralam 3850	2.90	10 GHz		17 17 150	0.0025	10 GHz
XT/duroid 8100	3.45	10 GHz		18 19 67	0.0042	10 GHz

Für die Produktion impedanzkontrollierter Leiterplatten ist zu prüfen, ob die Materialqualität einen Einfluß auf die zu erwartende Toleranz der Impedanz hat. Dies betrifft vornehmlich die Homogenität des Materials (Anteile und Verteilung der Füllstoffe und der Bindemittel). Als weitere mechanisch/geometrische Faktoren sind die Dimensionsstabilität und die Dickenangaben der Materialien (Innenlagen-Lamine und Prepregs) zu untersuchen.

Es sollte stets bedacht werden, daß neben den hier aufgeführten Eigenschaften (Tg, Er und Kosten) zahlreiche weitere technische Funktionen der Materialien in der Anwendung von Bedeutung sind. Zu nennen sind die Feuchtigkeitsaufnahme, die Ausdehnung in X, Y, Z-Richtung, die Flammbarkeit und die mechanische Stabilität (Bild 5, Basismaterial). Größeren Einfluß bei Hochfrequenzschaltungen hat zudem der Verlustfaktor ($\tan \delta$).

Viele Derivate werden im Wesentlichen durch eine Modifikation der Epoxydharzmatrix erzeugt. Im Sog der Umstellung auf bleifreie Elektronik (~ RoHS) ist es üblich geworden, einen Teil des Harzvolumens gegen mineralische Füllstoffe auszutauschen. Damit wird die temperaturbedingte verstärkte Z-Achsen-Ausdehnung der Leiterplatte hinausgezögert (Kenngröße $CTE(z) = \text{„Coefficient of thermal expansion“}$).

In Folge der höheren Temperaturbelastbarkeit reduziert sich die Wahrscheinlichkeit, daß die Leiterplatte während der Baugruppenproduktion beim Löten Schaden nimmt. Ein höherer Tg-Wert erhöht die Dauerbetriebstemperatur einer Baugruppe nicht. Die Dauerbetriebstemperatur ist im Wesentlichen von der Epoxydharzmatrix abhängig und sollte bei FR4-Material 95° bis 100° nicht überschreiten.

Eine weitere Kenngröße ist der Td-Wert. „Td“ steht für „Time to Decomposition“ und beschreibt für einen Temperaturwert (...von z.B. 288°), wieviel Zeit vergeht, bis das Material 5% seiner Masse durch Ausgasen/Verdampfen verloren hat.

Zum Variantenreichtum der Basismaterialien gesellt sich die individuelle Bevorzugung von Materialien und Prozeßstrategien seitens des jeweiligen Leiterplattenherstellers. Mit der Layoutarbeit müssen die Materialparameter in das CAD-System importiert werden können. Die sich daraus ergebenden Constraints (= Vorgabewerte) sind eine wichtige Unterstützung während des Layouts.

6 Leiterplattenfertigung

Jedes Bauteil muß in der CAD-Bibliothek virtuell angelegt worden sein, bevor es in ein Layout eingebaut werden kann. Die geometrische Konstruktion des Bauteiles ist nur dann sinnvoll möglich, wenn die Anforderungen der realen Leiterplattenfertigung und der Baugruppenproduktion bekannt sind.

Die Strukturierung des Leiterbildes erfolgt beim Leiterplattenhersteller in einem Subtraktivverfahren. Zu Beginn besteht jede (...später elektrisch leitende...) Lage einer Leiterplatte aus einer durchgehenden Kupferfolie. Nach der fototechnischen Strukturierung der Leiterbahnen und Lötflächen werden die nicht benötigten Kupferbereiche durch einen Ätzprozeß entfernt.

Auf Grund der Strömungseigenschaften des Ätzmediums ist der geometrische Querschnitt einer geätzten Leiterbahn kein Rechteck sondern ein Trapez. Mit der breiteren Seite haftet die Leiterbahn auf dem Dielektrikum, die schmalere Seite ist die Oberseite der Leiterbahnen.

Bild 6) Unterätzung und Funktionsfläche

Mit dem Tangens des Winkels α wird ein mathematischer Zusammenhang zwischen der Unterätzung und der Kupferdicke formuliert.

Regel (Unterätzung gesamt)

$$\text{Unterätzung}_{(\text{ges})} = 2 \cdot \text{Kupferdicke} \cdot \tan \alpha$$

Daraus ergibt sich :

Regel (Abhängigkeit der Unterätzung)

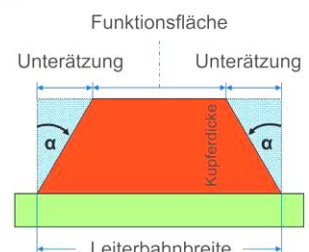
Die Unterätzung ist *ausschließlich* von der Kupferdicke abhängig.

Begriff (Funktionsfläche)

Die Breite des oberen Leiterbildes wird als *Funktionsfläche* bezeichnet.

Regel (Funktionsfläche)

$$\begin{aligned} \text{Funktionsfläche} &= \text{Leiterbahnbreite} - \text{Unterätzung}_{(\text{ges})} \\ &= \text{Leiterbahnbreite} - (2 \cdot \text{Kupferdicke} \cdot \tan \alpha) \end{aligned}$$



Man spricht dann von der Unterätzung oder Rückätzung des Leiterbildes (Bild 6, Unterätzung und Funktionsfläche).

Die „schmalere Seite“ verringert aber auch die Lötfläche der SMD-Pads, die letztlich ja nichts anderes ist, als „Leiterbildoberfläche“. Die in der CAD-Bibliothek als optimal festgelegten Padgeometrien werden dadurch verfälscht. Die Rückätzung hängt nur von der Kupferdicke ab und hat einen festen Betrag. Bei SMD-Bauformen vom Typ „1206“ oder „0805“ spielt dieser Betrag praktisch keine Rolle. Bei der Bauform „0201“ beträgt die Reduzierung der Lötfläche allerdings bereits bis zu 15%.

Im Idealfall ist die Lötfläche auf das Lotvolumen abgestimmt, das wiederum über die Dicke und die Öffnungen der Lotpastenschablone vorgegeben wird. Die Sensibilität der Bauformen „0402“, „0201“ und natürlich erst recht der Bauform „01005“ erfordert eine sehr feine und engtolerierete Abstimmung zwischen Lotvolumen und Lotfläche. Eine nicht berücksichtigte Abweichung der Lötfläche von -15% hat ein verändertes Lötverhalten zur Folge.

Die Rückätzung führt nicht nur im Querschnitt zu einem Leiterbahntrapez sondern auch zu einer grundsätzlichen Verringerung der Leiterbahnbreite an sich. Um diese Verringerung auszugleichen, muß von der CAM des Leiterplattenherstellers ein passender Zuschlag auf die D-Codes in den Gerber-Files gegeben werden. Weil die Verringerung der Leiterbahnbreite von der Dicke des Kupfers abhängt, muß der Zuschlag mit unterschiedlichen Werten erfolgen, je nachdem, welche Kupferdicke die jeweilige Lage der Leiterplatte hat. Man nennt das die „Kupferdickenabhängige Blendenkompensation“ oder einfach den „Ätzzuschlag“.

Vorhersehbare Toleranzen bei der Strukturierung des Leiterbildes sind akzeptabel. Die Voraussetzung ist jedoch, daß die tendenziellen Abweichungen bereits zum Zeitpunkt der CAD-Bibliotheksarbeit berechnet werden können. Die Kupferdicke kann über die trigonometrische Tangensfunktion in Bezug zur Unterätzung gesetzt werden. Der Wert für den Winkel „Tangens Alpha“ wird damit zu einer festen Kenngröße, mit der das typische Ätzergebnis für den Prozeß des Leiterplattenherstellers ermittelt werden kann. Die Relation zwischen oberer und unterer Leiterbildbreite kann als AspectRatio (...für die Rückätzung) betrachtet werden.

Der Einfluß der Rückätzung ist weitreichend. Eine veränderte Querschnittsgeometrie bedeutet schließlich auch eine geringere Stromtragfähigkeit von Versorgungsleitungen, eine veränderte Impedanz für Signalleitungen und eine geringere Entwärmungskapazität der elektronischen Baugruppe im Betrieb.

In der Konsequenz bedeutet das, daß in der CAD-Bibliothek die Fertigungstoleranz des Leiterplattenherstellungsprozesses ausgeglichen werden muß, damit der Baugruppenproduzent trotzdem zuverlässig bestücken und löten kann.

7 Baugruppenproduktion

Seit Einführung der SMD-Technologie haben die Anforderungen an das Basismaterial zugenommen. Die Reduzierung der Bauformen für SMD-Bauteile führt auch zu einer Reduzierung der SMD-Flächen auf der Leiterplatte. Wird ein SMD-Pad kleiner, dann wird auch die Grundfläche kleiner, mit der dieses Pad auf der Leiterplatte haftet. Einfache mechanische Belastungen, Vibration und Brems- oder Beschleunigungskräfte können zu einem Abriß des Bauteiles führen.

Kleinere Bauteilkörper benötigen auch kleinere Anschlußflächen auf der Leiterplatte (Bild 7, 2-polige SMD-Bauformen). Die Anschlußfläche darf aber nicht zu klein sein. Für die Leiterplattenfertigung wird eine ätzbare Bild-/Pad-Struktur gefordert. Für die Baugruppenproduktion ist allerdings eine Mindest-Padfläche notwendig. Nur dann kann genügend Lot aufgebracht werden und es können sich ein guter Lotspalt und ein guter Lotmeniskus ausbilden.

Bei einem Routing nach HDI-Regeln (= **H**igh-**D**ensity-**I**nterconnect) beträgt die minimale Leiterbahnbreite 100µm, der minimale Strukturabstand beträgt ebenfalls 100µm. Zweimal der Abstand plus einmal die

Leiterbahnbreite ergeben 300µm. Damit würde genau eine Leiterbahn zwischen den beiden Pads der Bauform 0201 hindurchpassen. Empfehlenswert ist eine solche Routingstrategie jedoch nicht. Mit dem Druck des Lötstoplackes würde eine Leiterbahn zwischen zwei SMD-Pads mit einer zusätzlichen Dicke von bis zu 30µm beschichtet. Um diesen Betrag wäre die Leiterbahn höher, als die benachbarten Lötflächen. Der kleine und leichte Bauteilkörper würde auf dem Lack aufliegen. Ein Aufrichten oder Verdrehen des Bauteiles beim Löten *könnte* zu einer qualitativen Einschränkung führen. Damit das vermieden wird, muß das CAD-System vom Anwender mit Constraints (= Vorgaben, Parameter) bedient werden, damit im abschließenden DRC (= **Design Rule Check**) eventuelle Routingfehler auch erkannt werden können.

Die Informationen in einem Multilayerbauplan zu den Eigenschaften der verbauten Basismaterialien sind für den Baugruppenproduzenten ebenfalls von großem Wert. Er kann seine Lötprofile auf die Kupfervolumina und die Temperaturbelastbarkeit der in der Leiterplatte verbauten Basismaterialien optimal anpassen.

Leider führen die Maßnahmen zur Erlangung eines hohen Tg-Wertes im Gegenzug oft zu einer Reduzierung der Haftung des Kupfers auf dem Dielektrikum. Während man bei Standardmaterial Abzugskräfte von zirka 2 N/mm finde, können diese bei Hoch-Tg-Material auf bis zu 0.8 N/mm absinken.

Nachwort

Die Produktion einer Baugruppe erfordert das Zusammenspiel der Disziplinen CAD, Leiterplattentechnik und Baugruppenfertigung. Diese Disziplinen müssen aufeinander Rücksicht nehmen und sich hinsichtlich der Prozeßtechnologien abstimmen.

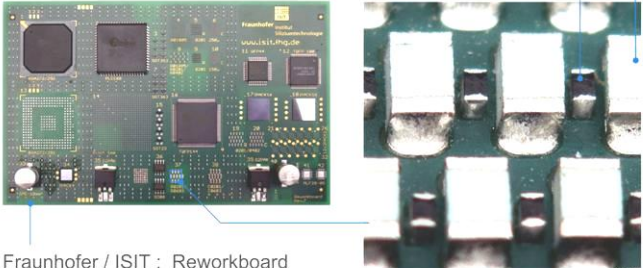
Das erfordert genaue Regeln, die auf die Baugruppenfunktion abgestimmt sind. Aufgabe der Regeln ist, dem CAD-Designer vorab verbindlich offenzulegen, ob eine geometrische Konstruktionsvorgabe in der Produktion umsetzbar ist.

Diese Aufgabenstellung ist nur in der gemeinschaftlichen Abstimmung zwischen den Prozeßpartnern zu lösen. Die Aufgabe des AK Design Chain ist, die Partner zusammenzubringen, die erforderlichen Prozesse zu beschreiben und die richtigen Designregeln zu formulieren.

Bild 7) 2-polige SMD-Bauformen

Für Widerstand, Kondensator und Diode ist die 2-polige Bauvariante (noch) typisch. Um Platz, Bauhöhe und Gewicht zu sparen, sind die Grundflächen dieser Komponenten kontinuierlich reduziert worden.

Faktor	Beispiel	Bauform	Abmaße	Grundfläche
06 · 03	= 9-fach	0603	1524 · 762µm	1161288µm ²
02 · 01		0201	508 · 254µm	129032µm ²



Fraunhofer / ISIT : Reworkboard