



LeiterplattenAkademie

Technologie Seminar *Highspeed*Baugruppen

Fachgerechte und funktionssichere Konstruktion von Highspeed-Baugruppen für KFZ- und EMobilität unter spezieller Berücksichtigung der Satellitenkommunikation. Konzepte für IoT, Industrie 4.0, Big Data und eKommunikation.

21. bis 23. September 2021
in Wien / Österreich

In Zusammenarbeit mit

unitel
IT-Innovationen



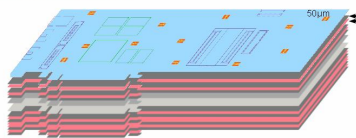
Das Seminar

LeiterplattenAkademie

unitel
IT Innovationen

Breitbandige Stützung 26-Lagen Revoboard

Kondensatorgruppe 8 auf 1206 und 0402

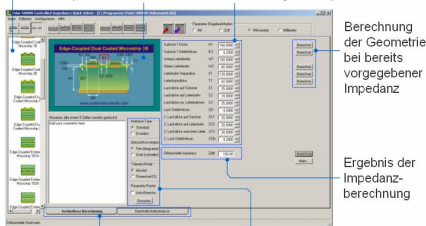


Jeweils 3 Kondensatorgruppen sind pro Vcc Spannungslage bei entsprechender beidseitiger Bestückung realisiert.

© LeiterplattenAkademie | Alle Rechte vorbehalten | www.leitplatzenakademie.com

Impedanzberechnung mit Polar SI8000 : Eingabefelder

Auswahl des Impedanzmoduls Eingabefelder für die Parameter zur Graphik des Modulaufbaus Berechnung des Impedanzwertes



Vorwahl für eine verlustlose Berechnung oder für eine Empfindlichkeitsanalyse

Vorwahl des Interface-Typs, der Zielsuchkonvergenz und des Toleranz-Modus.

Berechnung der Geometrie bei bereits vorgegebener Impedanz

Ergebnis der Impedanzberechnung

Highspeed-Tage in Wien

Wir benötigen die fachgerechte und funktionssichere Konstruktion von Highspeed-Baugruppen für KFZ- und EMobilität. Wenn die Konzepte für IoT, Industrie 4.0, Big Data und eKommunikation umgesetzt werden sollen, dann muß insbesondere auch die Kommunikation über Satelliten beachtet werden.

Die Erwartungen an die Leistungsfähigkeit der globalen Strategien sind hoch. CAD, Leiterplatte und Baugruppe müssen den mutig formulierten Anforderungen folgen können.

Softwaregesteuerte autonome Systeme sollen miteinander per Funk in Interaktion treten. Das setzt eine sichere und zweifelsfreie Kommunikation voraus. Es wird neue Wirtschaftszweige mit innovativen Produkten geben müssen, die der Markt bisher nicht gekannt hat.

Die kollaborative Robotik mit einer Partnerschaft zwischen Mensch und Maschine wird ein Schwerpunkt sein.

Die angedachten Strategien fordern nicht mehr und nicht weniger als eine allumfassende Erneuerung der bestehenden Strukturen, die bereits heute eine hohe Komplexität erreicht haben.

Eine der aktuell spannendsten Innovationen ist sicherlich das autonome Fahren. Für den Transport der sensorischen Informationen müssen Kommunikationsnetze aufgebaut werden. Die Steuerung und Auswertung der Informationen und die Kontrolle über die durchzuführenden Aktionen muß in absoluter und gleichzeitig zuverlässiger Höchstgeschwindigkeit erfolgen.

Diese Aufgabe obliegt elektronischen Baugruppen, die ihrerseits wieder auf Highspeed-Leiterplatten aufsetzen. Autonome Maschinen und Fahrzeuge sollen aufeinander abgestimmt miteinander arbeiten.

Die nicht angreifbare Stabilität von Funkverbindungen wird lebensentscheidend. Damit rücken die EMV-Eigenschaften elektronischer Baugruppen in den Fokus.

Es wird nicht genügen, Kraftfahrzeuge auf- und auszurüsten. Auch Drohnen, E-Bikes, Sozialroboter und nicht zuletzt wir Menschen werden in dieser Welt unterwegs sein.

Wer wird mit dem Seminar angesprochen ?

Das Seminar fördert die gezielte Entwicklung von Highspeed-Hardware und das Design von CAD-Layouts. Es fördert das Verständnis für die Anforderungen an CAM, Leiterplatte und Baugruppe.

LeiterplattenAkademie R11471.60c50-17c100-17#1

Material	Stack-Up	Das	Parameter	Layer
Platte d	25µm			LV-Top SIG EMI
Copper	17µm			
NP-1550b	50µm	106 SR:70	100-150-100µm d 100 D	200µm ± 50 D
NP-1550b	70µm	1080 MP:67	110-120-110µm d 90 D	
Copper	17µm			LV-2 GND
NP-1550b	100µm			100-110-100µm d 90 D
NP-1550b	70µm	1080 MP:67		115µm ± 50 D
Copper	17µm			LV-3 SIG
NP-1550b	70µm	1080 MP:67		115µm ± 50 D
Copper	17µm			LV-4 SIG
NP-1550b	100µm			100-110-100µm d 90 D
NP-1550b	70µm	1080 MP:67		115µm ± 50 D
Copper	17µm			LV-5 GND
NP-1550b	70µm	1080 MP:67		109µm ± 50 D
Copper	17µm			LV-6 SIG
NP-1550b	100µm			109µm ± 50 D
Copper	17µm			LV-7 GND
NP-1550b	50µm	106 SR:70		LV-8 VCC
Copper	17µm			LV-9 VCC
NP-1550b	100µm			LV-10 GND
NP-1550b	70µm	1080 MP:67		LV-11 VCC
Copper	17µm			
NP-1550b	70µm	1080 MP:67		LV-12 VCC
Copper	17µm			LV-13 GND
NP-1550b	50µm	106 SR:70		
NP-1550b	70µm	1080 MP:67	110-100-110µm d 90 D	
NP-1550b	50µm	106 SR:70	100-150-100µm d 100 D	200µm ± 50 D
Copper	17µm			
Platte d	25µm			LV-Bot SIG

Thickness: 1.41mm - 1.59mm Bare Board
1.49mm - 1.58mm ENIG
1.62mm - 1.72mm HAL

Control tolerance: ± 0.05%

© LeiterplattenAkademie 2012. Alle Rechte vorbehalten.

Layer Drawing #1054
Date 12.01.2012
Name SW
Comment -

Ihre Referenten

Die Fachthemen

Gerhard Eigelsreiter

Geschäftsführender Gesellschafter
Unitel IT-Innovationen
Graz, Österreich



Highspeed-Baugruppen

FPGA-basierte Baugruppen.
BauteilAuswahl passend zum Schaltungskonzept.
Entkopplung und Terminierung.
USB 2.0 Highspeed, Signalintegrität.
Konstruktion von Signal- und Stromversorgungsräumen
Power- und Signalintegrität auf Highspeed-Boards.

Hermann Reischer

CEO Polar Sales&Service Center
Polar Instruments GmbH
Aichereben, Österreich



Physik der Signalübertragung

Impedanzen : Nomenklatur und Berechnungsmodelle.
Bewertung von S-Parametern.
Verlustlose und verlustbehaftete Signalübertragung.
Interferenzen. Highspeed.
Crosstalk. Skineffekte.
Signalübertragungsgeschwindigkeit.

Arnold Wiemers

Technischer Direktor
LeiterplattenAkademie GmbH
Berlin, Deutschland

CAD-Design, Leiterplatte und Baugruppe

Basismaterialien.
Routing- und Kontaktierungsstrategien.
Fehlerabschätzung für Impedanzen auf Leiterplatten.
Mathematische Modelle für das CAD-Design.
Regeln für die Multilayerkonstruktion.
Multilayertechnologie für Highspeed-Schaltungen.
Optionen für Multicore und Embedded Components.

Agenda

Dienstag

21. September 2021

1. Seminartag

09.00 Uhr *Arnold Wiemers*
Begrüßung und Einführung in die Themen des Seminars.
Autonomes Fahren, Big Data, IoT 4.0 :
Wie können die Anforderungen sichergestellt werden ?

1. Abschnitt

09.30 Uhr *Gerhard Eigelsreiter*
Aufgaben und Anwendungen für Highspeed-CPU's. Ergebnisse aus dem Projekt „Die Leiterplatte 2010“. Bewertung der Ergebnisse aus EMV-Tests.

10.30 Uhr **Pause**

2. Abschnitt

10.45 Uhr *Gerhard Eigelsreiter*
Hardware für FPGA-Boards unter funktionalen Aspekten entwickeln. Analyse eines Evaluationsboards. Das Z2-Board als Basismodul für Anwendungen in der Medizinelektronik.

12.15 Uhr **Mittagspause**

3. Abschnitt

13.15 Uhr *Arnold Wiemers*
Technische und physikalische Eigenschaften von Basismaterialien. Prepregs und Lamine. Tg- und Td-Werte. Permittivität.

15.00 Uhr **Pause**

4. Abschnitt

15.15 Uhr *Arnold Wiemers*
Regeln für die Konstruktion von Multilayern.
Strategien für Highspeed-Multilayer.

17.00 Uhr Ende des 1. Seminartages

Agenda

Mittwoch

22. September 2021

2. Seminartag

5. Abschnitt

- 09.00 Uhr *Gerhard Eigelsreiter*
Digitale und analoge Anforderungen an Highspeed-CPU's.
Offene Projekte und Anwendungen.
Konzepte und Strategien für die Auswahl von elektronischen Bauteilen.
- 10.30 Uhr **Pause**
- 10.45 Uhr *Gerhard Eigelsreiter*
CPU-Boards auf der Basis des FPGA-Typs Spartan-7.
Routing von FPGAs.
- 12.15 Uhr **Mittagspause**
- 13.15 Uhr *Hermann Reischer*
Auswahlkriterien für die Vorbetrachtung einer Impedanzmodellierung.
Eigenschaften von Transmission Lines.
Abhängigkeiten der Impedanz von der Frequenz und von Skineffekten.
Bewertung der S-Parameter.
Der Einfluß des Basismaterials auf die Signalqualität.
- 15.00 Uhr **Pause**
- 15.15 Uhr *Hermann Reischer*
Impedanzberechnungen auf der Basis von 2-dimensionalen Fieldsolvern.
Verlustloser und verlustbehafteter Signaltransfer auf Leiterplatten.
Verifikation von Impedanzen auf Leiterplatten. Anlage von Testcoupons.
Toleranzen bei der Impedanzberechnung.
- 17.00 Uhr Ende des 2. Seminartages

Agenda

Donnerstag

23. September 2021

3. Seminartag

9. Abschnitt

09.00 Uhr *Gerhard Eigelsreiter*
Highspeed-Baugruppen für die Kommunikation in ESA-Satelliten. Das Projekt OPS-Sat. Das SEPP-Board (Satellite Experimental Processing Platform) der Universität Graz. Datatransfer via Laser. Ergebnisse aus dem Analyselabor.

10.30 Uhr **Pause**

10. Abschnitt

10.45 Uhr *Gerhard Eigelsreiter*
Kommunikation im Low- und im Highspeed-Bereich. Übertragung im S- und im X-Band. Das Projekt Pandora : digitale Bildübertragung und Bildbearbeitung. Echtzeitbearbeitung für eine Farbraumkonvertierung.

12.15 Uhr **Mittagspause**

11. Abschnitt

13.15 Uhr *Arnold Wiemers*
Kontaktierungsoptionen für hochlagige Multilayer. BlindVias und BuriedVias. AspectRatio für die Kontaktierbarkeit von Vias als elementare Vorgabe für die Konstruktion des CAD-Layouts. Routingconstraints für das CAD-Layout.

15.00 Uhr **Pause**

12. Abschnitt

15.15 Uhr *Arnold Wiemers*
Kostenbewertung von Lagenaufbauten. Hybridmultilayer für Radarübertragungen in automotiven Systemen. Multicore-Aufbauten und Embedded-Components.

16.30 Uhr Ende des 3. Seminartages

Termin	21., 22. und 23. September 2021
Zeitraumen	21.09.2020 Dienstag 09.00 Uhr bis 17.00 Uhr 22.09.2020 Mittwoch 09.00 Uhr bis 17.00 Uhr 23.09.2020 Donnerstag 09.00 Uhr bis 16.30 Uhr
Teilnahmegebühr	1380,-- EUR 1160,-- EUR für Mitarbeiter/innen der gleichen Firma. Inklusive Seminarunterlagen.
Maximale Teilnehmeranzahl	Die Anzahl der Teilnehmer ist begrenzt. Die Anmeldungen werden in der Reihenfolge der Anmeldungen berücksichtigt.
Veranstaltungsort	Wien Österreich Der Ort steht noch nicht fest
Anmeldung	Bitte per eMail an: Anmeldung@leiterplattenakademie.de Sie erhalten von uns eine Anmeldebestätigung.
Anmeldeschluß	Bis 1 Woche vor Seminarbeginn
Kontakt LeiterplattenAkademie	Geschäftsleitung Frau Kathrin Fechner k.fechner@leiterplattenakademie.de
Internet LeiterplattenAkademie	leiterplattenakademie.de